

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-163356

(43)Date of publication of application : 06.06.2003

(51)Int.Cl.
H01L 29/786
H01L 21/336
H01L 21/8234
H01L 21/8238
H01L 27/08
H01L 27/088
H01L 27/092
H01L 29/423
H01L 29/49

(21)Application number : 2002-276580

(71)Applicant : INTERNATL BUSINESS MACH CORP
<IBM>

(22)Date of filing : 24.09.2002

(72)Inventor : IEONG MEIKEI
EDWARD J NOWAKU

(30)Priority

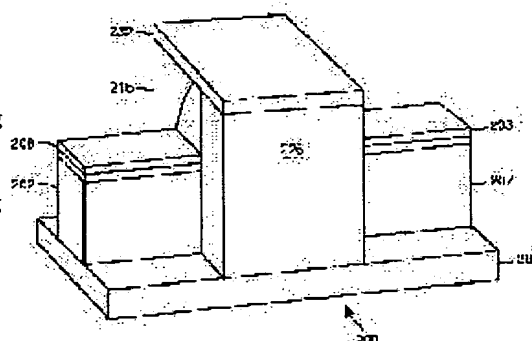
Priority number : 2001 972172 Priority date : 05.10.2001 Priority country : US

(54) DOUBLE GATE TRANSISTOR AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a double gate transistor and a method of forming the same which facilitates the formation of different transistors having different threshold voltages.

SOLUTION: Transistors having different body widths are formed. By forming double gate transistors with different body widths, double gate transistors having different threshold voltages can be formed without adding excessive process complexity. The formation of the double gate transistors having different threshold voltages is implemented using a fin-type double gated structure. In the fin-type structure, the double gates are formed on each side of the body, with the body being disposed horizontally between the gates.



LEGAL STATUS

[Date of request for examination] 24.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The step which is the approach of forming the transistor which has various threshold electrical potential differences, and prepares (a) semi-conductor substrate, (b) The step which forms two or more forms which have width of face on said semi-conductor substrate, (c) Carry out patterning of said semi-conductor substrate to the step which adjusts alternatively the width of face of at least one form using the form of the (d) aforementioned plurality, and two or more transistor bodies are formed. The step partially decided at least with the width of face of that each width of face of whose of two or more of said transistor bodies is one to which it corresponds of said two or more forms, (e) Each 1st body edge of two or more of said transistor bodies is adjoined. The approach equipped with the step which forms the 1st gate structure of the 1st work function, and the step which adjoins each 2nd body edge of the transistor body of the (f) aforementioned plurality, and forms the 2nd gate structure of the 2nd work function.

[Claim 2] The approach according to claim 1 said 1st gate structure of the 1st work function consists of p die materials, and said 2nd gate structure of the 2nd work function consists of n die materials.

[Claim 3] Furthermore, the approach according to claim 1 equipped with the step which forms a source field, a drain field, and a halo field using (g) slanting ion implantation.

[Claim 4] The approach according to claim 1 that the step in which said semi-conductor substrate changes from a SOI layer, carries out patterning of said semi-conductor substrate using said two or more forms, and forms two or more transistor bodies is equipped with patterning of said SOI layer.

[Claim 5] The approach according to claim 3 by which said substrate has a horizontal plane and the source field and the drain field are formed at the include angle of about 70 degrees - 83 degrees to said horizontal plane.

[Claim 6] The step at which said step which forms two or more forms, and said step which forms two or more transistor bodies using said two or more forms form a mandrel layer on said semi-conductor substrate. The step which carries out patterning of said mandrel layer, and forms an exposure side face. The approach according to claim 1 have the step which adjoins said exposure side face and forms a side-attachment-wall spacer, the 1st edge of said side-attachment-wall spacer demarcates the 1st body edge, and the 2nd edge of said side-attachment-wall spacer demarcates the 2nd body edge.

[Claim 7] The step at which said step which forms two or more forms, and said step which forms two or more transistor bodies using said two or more forms form a mandrel layer on said semi-conductor substrate. The step which carries out patterning of said mandrel layer, and the step which demarcates the 1st body edge using said mandrel layer which carried out patterning. The approach [equipped with the step which adjoins a gate ingredient layer and forms a side-attachment-wall spacer, and the step which demarcates the 2nd body edge using said side-attachment-wall spacer] according to claim 1.

[Claim 8] The step which prepares the SOI substrate which is the approach of forming two or more field-effect transistors which have various threshold electrical potential differences, and was equipped with the silicon layer on (a) embedding dielectric layer, (b) The step which carries out patterning of said mandrel layer, and demarcates two or more mandrel **** after forming a mandrel layer on said silicon layer, (c) Patterning of said silicon layer is carried out by said two or more mandrel ****. In a step [which forms two or more 1st body edges], and 1st [of the step which forms two or more 1st gate dielectrics on said two or more 1st body edges, and the (d) (e) aforementioned plurality] gate dielectric top. The step which adjoins said 1st body edge and forms two or more 1st gate structure of the 1st work function, (f) The step to which patterning of said mandrel layer is carried out, and the 1st edge of two or more of said 1st gate structures is exposed, (g) The step which forms two or more side-attachment-wall spacers which adjoin said 1st edge of two or more of said 1st gate structures, and have side-attachment-wall spacer width of face, (h) Patterning of the (i) aforementioned silicon layer is carried out to the step which adjusts the width of face of the selected side-attachment-wall spacer with two or more side-attachment-wall spacers. The step to which it is the step which forms two or more 2nd body edges, and said 1st body edge of said silicon layer which carried out patterning, and said 2nd body edge have demarcated two or more transistor bodies, (j) Approach equipped with the step which forms two or more 2nd gate dielectrics on said two or more 2nd body edges, and the step which adjoins said 2nd body edge and forms two or more 2nd gate structure of the 2nd work function on the 2nd [of the (k) aforementioned plurality] gate dielectric.

[Claim 9] The approach according to claim 8 said two or more 1st gate structures of the 1st work function

consist of p mold polish recon ingredient, and said two or more 2nd gate structures of the 2nd work function consist of n mold polish recon ingredient.

[Claim 10] The approach according to claim 8 said two or more 1st gate structures of the 1st work function consist of n mold polish recon ingredient, and said two or more 2nd gate structures of the 2nd work function consist of p mold polish recon ingredient.

[Claim 11] Furthermore, the approach [equipped with the step which performs slanting ion implantation and forms two or more source / drain placing fields into said transistor body into said transistor body] according to claim 8.

[Claim 12] (a) Are two or more transistor bodies formed on the substrate, and said transistor body has the 1st perpendicular edge which demarcates transistor body width of face respectively, and the 2nd perpendicular edge. Two or more transistor bodies which have the width of face whose part chosen of said two or more transistor bodies has been adjusted, (b) Are two or more 1st gate structures, and each of two or more of said 1st gate structures adjoins one of the 1st perpendicular edge of two or more of said transistor bodies. Two or more 1st gate structures in which said two or more 1st gate structures have the 1st work function, (c) Are two or more 2nd gate structures, and each of two or more of said 2nd gate structures adjoins one of the 2nd perpendicular edge of two or more of said transistor bodies. Said two or more 2nd gate structures are transistor groups equipped with two or more 2nd gate structures which have the 2nd work function.

[Claim 13] The transistor group according to claim 12 to which said two or more 1st gate structures change from p die materials, and said two or more 2nd gate structures change from n die materials.

[Claim 14] The transistor group according to claim 12 to which said two or more transistor bodies change from a semi-conductor fin.

[Claim 15] The transistor group according to claim 12 to which said two or more transistor bodies change from a part of SOI layer.

[Claim 16] The transistor group according to claim 12 to which said two or more 1st gate structures and said two or more 2nd gate structures change from polish recon.

[Claim 17] Furthermore, the transistor group [equipped with two or more 2nd gate dielectrics prepared between two or more 1st gate dielectrics prepared between the 1st perpendicular edge of said transistor body, and said 1st gate structure, and the 2nd perpendicular edge of said transistor body and said 2nd gate structure] according to claim 12.

[Claim 18] The transistor group according to claim 12 which said two or more transistor fins equip with the source ion implantation field and the drain ion implantation field.

[Claim 19] The transistor group according to claim 12 said whose width of face of two or more of said transistor bodies each of said two or more 1st gate structures and two or more of said 2nd gate structures has die length, and is less than [of said die length] about 1/4 in each.

[Claim 20] A transistor group according to claim 12 with said width of face of two or more of said transistor bodies wider than about 2.5nm.

[Claim 21] It is the duplex gate transistor group in which it has the 2nd transistor equipped with the 1st transistor equipped with the 1st body width of face, the 1st gate, and the 2nd gate, the 2nd body width of face, the 1st gate, and the 2nd gate, said 1st gate has the 1st work function respectively, and said 2nd gate has the 2nd work function respectively.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Generally especially this invention relates to the approach of forming a duplex gate field-effect transistor about the field of semi-conductor manufacture.

[0002]

[Description of the Prior Art] From the need of maintaining in the condition that cost and the engine performance can be competed in manufacture of a semiconductor device, the device consistency of an integrated circuit has increased continuously. In order to make increase of this device consistency easy, the new technique which makes it possible to make the feature size (the minimum processing dimension) of these semiconductor devices reduce is needed continuously.

[0003] Especially the pressure that it ceases [pressure] and increases a device consistency without ** is strong in a design, manufacture, etc. of a CMOS technology (FET), for example, a field-effect transistor. FET is used in almost all kinds of integrated circuits (namely, a microprocessor, memory, etc.). A threshold electrical potential difference (V_t) is in one of the fundamental design parameters of FET. Generally the threshold electrical potential difference of FET is switch-on or gate voltage required for making it switch and turn off about the FET concerned (embracing the class of FET). When FET differs in a threshold electrical potential difference, operating characteristics also differ. For example, generally, its current driving force is large while the transistor with a low threshold electrical potential difference can operate by the RF. However, since the leakage current is also large, generally the transistor with a low threshold electrical potential difference has power consumption larger than a transistor with a high threshold electrical potential difference.

[0004] Therefore, it is desirable to make the engine performance improve using a transistor with a low threshold electrical potential difference for a certain application, and to reduce non-wanted power consumption using a transistor with a high threshold electrical potential difference for another application. However, unluckily, when the body of a transistor is very thin, generally it is difficult [it] to produce the transistor from which a threshold electrical potential difference differs in the same device.

[0005] Especially this is applied about a duplex gate field-effect transistor. At the duplex gate FET, while maintaining the property with which the criteria were filled by using every one a total of two gates for the both sides of the body, it makes it easy to carry out enlarging or contracting of the dimension of CMOS. Since the gate potential on a channel can be controlled good if the duplex gate is used especially, even if it does not lengthen gate length of a device, it becomes possible to control the current which flows a transistor good. Therefore, at the duplex gate FET, even if it is a big transistor, it is not necessary to increase the tooth space of the part corresponding to the magnitude, and the current control can be performed.

[0006] Therefore, the device structure and its manufacture approach of the duplex gate transistor which can form the transistor from which a threshold electrical potential difference differs into the same device are searched for, without complicating a production process beyond the need.

[0007]

[Means for Solving the Problem] The duplex gate transistor which makes it easy that this invention forms various transistors which have a different threshold electrical potential difference, and its formation approach are offered. On the 1st side face, the approach of forming the transistor group which consists of the step group shown below and which has various threshold electrical potential differences is offered. Namely, the step which prepares (a) semi-conductor substrate and the step which forms two or more forms which have width of face on the (b) aforementioned semi-conductor substrate, (c) Carry out patterning of said semi-conductor substrate to the step which adjusts alternatively the width of face of at least one form using the form of the (d) aforementioned plurality, and two or more transistor bodies are formed. The step partially decided at least with the width of face of that each width of face of whose of two or more of said transistor bodies is one to which it corresponds of said two or more forms, (e) Each 1st body edge of two or more of said transistor bodies is adjoined. It is with the step which forms the 1st gate structure of the 1st work function, and the step which adjoins each 2nd body edge of the transistor body of the (f) aforementioned plurality, and forms the 2nd gate structure of the 2nd work function.

[0008] On the 2nd side face, the transistor group which consists of the component group shown below and which has various threshold electrical potential differences is offered. Namely, they are two or more transistor bodies formed on the (a) substrate. Said transistor body has the 1st perpendicular edge which demarcates transistor body width of face respectively, and the 2nd perpendicular edge. Two or more transistor bodies

which have the width of face whose part chosen of said two or more transistor bodies has been adjusted, (b) Are two or more 1st gate structures, and each of two or more of said 1st gate structures adjoins one of the 1st perpendicular edge of two or more of said transistor bodies. Two or more 1st gate structures in which said two or more 1st gate structures have the 1st work function, (c) It is two or more 2nd gate structures, and each of two or more of said 2nd gate structures adjoins one of the 2nd perpendicular edge of two or more of said transistor bodies, and said two or more 2nd gate structures are with two or more 2nd gate structures which have the 2nd work function.

[0009]

[Embodiment of the Invention] This invention offers the duplex gate transistor which can form easily various transistors from which a threshold electrical potential difference differs, and its formation approach. With the operation gestalt of this invention, the transistor which has various body width of face is formed. The duplex gate transistor which has various threshold electrical potential differences is formed without complicating a formation process with the operation gestalt of this invention by forming the duplex gate transistor which has various body width of face.

[0010] The duplex gate is formed in the both sides of the body arranged horizontally between the gates with the 1st operation gestalt of this invention. Thereby, while making gate length of a device into the minimum feature size, it becomes possible to make thickness of the body much thinner than gate length. Moreover, it also enables this to control the threshold electrical potential difference of the device obtained as a result good. Furthermore, it becomes possible to form various transistors which have a different threshold electrical potential difference, stopping to the minimum that a process and a device become complicated by this formation approach.

[0011] Furthermore, this invention offers a duplex gate transistor with unsymmetrical gate doping. In this case, one side of the duplex gate was doped in degeneration in n mold, and another side is doped in degeneration in p mold. If one side of the duplex gate is doped in n mold and another side is doped in p mold, the threshold electrical potential difference of the device obtained as a result will improve. If the two gates are doped especially asymmetrically, since the body will be doped appropriately, the threshold electrical potential difference of the transistor obtained as a result can be made into the range in which low-battery CMOS actuation is attained. For example, in the case of the n mold FET, in the case of 0V-0.5V, and the p mold FET, the transistor which has the threshold electrical potential difference of 0V-0.5V can be formed.

[0012] Various conductive ingredients are equipped with the built-in electrical-and-electric-equipment potential (called a "work function" in many cases) of a proper. This work function has determined the relative affinity of the conductor to an electron (or electron hole) with external applied voltage. With a metal, a work function is peculiar to the matter. On the other hand, with semi-conductors, such as silicon, a work function can be adjusted to the value between a valence band and a conduction band by introducing the impurity which supplies a superfluous electron hole or a superfluous electron. At the asymmetrical type duplex gate FET of the suitable operation gestalt of this invention, two gate electrodes are doped with the impurity of antipole nature. That is, one gate was doped in n mold and the gate of another side is doped in p mold. Therefore, since the work functions of these two gate electrodes differ, the gate electrode (weak gate, p mold gate of the n mold FET) of another side has only a small affinity to a reversal carrier to one gate electrode (strong gate, n mold gate of the n mold FET) having a big affinity to a reversal carrier. Consequently, since a reversal channel is formed near the "strong" gate of the semi-conductor body, since both contribute to formation of reversal potential, a comparatively low threshold electrical potential difference (for example, 0V-0.5V) realizes a gate electrode.

[0013] Next, drawing 1 is referred to. The approach 100 of forming a duplex gate transistor in drawing 1 according to the suitable operation gestalt of this invention is shown. An approach 100 shows how to form a duplex gate transistor so that the threshold electrical potential difference of a transistor can be improved, maintaining the dependability and simplicity of the manufacture approach. Furthermore, according to the approach 100, the duplex gate transistor which has various body width of face, therefore various threshold electrical potential differences can be formed easily. Especially, by the approach 100, the body width of face (called "fin width of face") of a transistor is demarcated using a side-attachment-wall spacer. By the approach 100, it makes it easy to change a side-attachment-wall spacer alternatively and to change the threshold electrical potential difference of various transistors alternatively. Therefore, according to the approach 100, various transistors which have a different threshold electrical potential difference can be formed, stopping to the minimum that a production process becomes complicated.

[0014] At the 1st step 101 of an approach 100, a suitable semiconductor wafer is prepared, various etching halt layers are deposited, and a mandrel layer is deposited. With a suitable operation gestalt, the wafer to be used consists of a SOI (silicon on insulator) wafer. Therefore, the wafer was embedded directly under the SOI layer and equipped with the oxidizing zone. A SOI layer is used for forming the body of a duplex gate transistor so that it may become clear in the bottom. Generally, in the case of the n mold FET, it is desirable for a doping consistency to control the threshold electrical potential difference of a transistor to a suitable value using the SOI layer of p mold of $3 \times 10^{18} \text{cm}^{-3}$ - $8 \times 10^{18} \text{cm}^{-3}$. However, with another operation gestalt mentioned later, in order to make it easy that the whole body realizes a uniform doping consistency, the SOI layer is doped by slanting ion implantation.

[0015] However, a non-SOI wafer may be used. Even if it is the case where a non-SOI wafer is used, unless it

annotates especially, the art is the same as the case of a SOI wafer.

[0016] When a SOI wafer is prepared, a three-layer etching halt layer is formed on a wafer. As for this three-layer etching halt layer, it is desirable to consist of a diacid-ized silicon layer, a silicon nitride layer, and the 2nd silicon oxidizing zone. These etching halt layers are used by all production processes, when a suitable etching halt layer is required.

[0017] Subsequently, a mandrel layer is formed. As for a mandrel layer, it is desirable to constitute from an oxide or other suitable ingredients. The mandrel layer constitutes some side-attachment-wall image conversion objects which demarcate the body of a duplex gate transistor so that it may explain in full detail in the bottom. Therefore, a mandrel layer is used for forming the side-attachment-wall spacer used for demarcating the body of a transistor. With a suitable operation gestalt, the thickness of a mandrel layer is 10nm - 100nm. However, this thickness may change according to required body thickness.

[0018] Next, drawing 2 is referred to. The wafer section 200 after forming an etching halt layer and a mandrel layer is shown in drawing 2. Since the suitable wafer section 200 of an operation gestalt consists of a SOI wafer, it embedded with the SOI layer 202 and is equipped with the oxidizing zone 204. On the SOI layer 202, the oxidizing zone 206, the nitrated case 208, and the oxidizing zone 210 are formed. These layers function as an etching halt layer. The mandrel layer 212 is formed on the oxidizing zone 210.

[0019] It returns to drawing 1. At the following step 102, after carrying out patterning of the mandrel layer, a side-attachment-wall spacer is formed. As a mandrel layer carries out opening of the field which forms one side of the duplex gate, it carries out patterning. After a side-attachment-wall spacer deposits a silicon nitride, it is desirable to form by performing suitable directivity etching. Of course, although a side-attachment-wall spacer is formed, other ingredients and approaches may be used. The thickness of a side-attachment-wall spacer will demarcate the body field of a duplex gate transistor using side-attachment-wall image conversion so that it may mention later. By adjusting this thickness alternatively, the transistor which has various threshold electrical potential differences can be formed now.

[0020] Drawing 3 is referred to. The wafer section 200 after carrying out patterning of the mandrel layer 212 to drawing 3 and forming the side-attachment-wall spacer 214 in it is shown. Here, a side-attachment-wall spacer will be used to demarcate the body thickness of the transistor obtained as a result using side-attachment-wall image conversion.

[0021] It returns to drawing 1. At the following step 103, the width of face of the selected side-attachment-wall spacer is adjusted alternatively. Since the width of face of a side-attachment-wall spacer has demarcated the body width of face which influences the threshold electrical potential difference of the transistor obtained as a result, it can adjust the threshold electrical potential difference of the selected transistor easily by step 103. The width of face of a side-attachment-wall spacer can be adjusted by the approach of suitable arbitration. For example, after covering a side-attachment-wall spacer using a suitable protective layer, patterning is carried out according to the selected side-attachment-wall spacer which has exposed the protective layer concerned. For example, deposition and patterning of the suitable photoresist layer can be carried out, and only the selected side-attachment-wall spacer can be exposed. And the width of face of the exposed side-attachment-wall spacer can be adjusted. for example, isotropic etching — short-time **** — by things, only the exposed side-attachment-wall spacer can be narrowed and a non-exposing side attachment wall can be maintained at a condition as it is. The thing of arbitration can be used if it is the isotropic etching which can remove the side-attachment-wall spacer section which exposed the oxide film in the case of this step, without removing greatly.

[0022] Next, drawing 4 is referred to. The expansion field of the wafer section 200 which shows two or more side-attachment-wall spacers 214 formed in the edge which the mandrel layer 212 exposed is shown in drawing 4. The transistor body for duplex gate field-effect transistors can be demarcated using each of the side-attachment-wall spacer 214. While exposing the side-attachment-wall spacer 214 which carried out deposition and patterning of the photoresist 215, and was chosen by the approach 100, the remaining side-attachment-wall spacer 214 remains covered with it by the photoresist 215. It enables this to adjust the width of face of the exposed side-attachment-wall spacer 214 to the width of face of the non-exposed side-attachment-wall spacer 214. For example, only the width of face of the exposed side-attachment-wall spacer 214 can be narrowed by performing isotropic etching.

[0023] Next, drawing 5 is referred to. The enlarged drawing of the wafer section 200 after narrowing the exposed side-attachment-wall spacer 214 by suitable etching is shown in drawing 5. Here, finally body width of face, therefore the threshold electrical potential difference of the transistor obtained as a result are decided by width of face of a side-attachment-wall spacer so that it may become clear in the bottom. So, the body width of face of the transistor which narrowed and formed the side-attachment-wall spacer becomes narrower than the body width of face of the transistor formed without narrowing a side-attachment-wall spacer. The threshold electrical potential difference of a transistor with narrow body width of face becomes higher than the threshold electrical potential difference of the transistor which is not narrow as for body width of face.

[0024] Next, although the body of a transistor is shown only one and step 104 - step 114 are explained, he should understand the point that these same steps group can be applied also to the transistor which was not narrowed to the transistor which narrowed body width of face, either.

[0025] It returns to drawing 1. After removing the remaining photoresist, at the following step 104, while using

a side-attachment-wall spacer and the remaining mandrel ingredient for a mask and carrying out patterning of the etching halt layer, patterning of the SOI layer is carried out, and gate oxide is formed in the side face which the SOI layer exposed. As for this, it is desirable to carry out using suitable RIE (reactive ion etch: reactive ion etching). As for gate oxide, it is typically desirable to form by thermal oxidation of 750-800-degreeC. Moreover, ion implantation may be performed into the body of a transistor between this step. As for this, it is desirable to consist of the slanting ion implantation to the inside of the side attachment wall which the SOI layer exposed, and to carry out before formation of gate oxide. This functions as suitable doping to the body of a transistor. This slanting ion implantation is performed so that it can be useful to making dopant concentration into homogeneity and compensating the variation in a threshold electrical potential difference, so that it may explain in full detail in the bottom.

[0026] Next, drawing 6 is referred to. Patterning of the SOI layer 202 is carried out to drawing 6, and the wafer section 200 after forming gate oxide 216 in the side face of the SOI layer 202 is shown in it. Here, before forming gate oxide 216, slanting body ion implantation may be performed.

[0027] It returns to drawing 1. After flattening of the gate ingredient is deposited and carried out at the following step 106. As mentioned above, at a suitable operation gestalt, a duplex gate transistor is n+. The gate and p+ which were formed It has the formed gate. With the illustrated implementation approach, it is n+. The gate is formed previously. Next, drawing 7 is referred to. In drawing 7, it is n+. The wafer section 200 after depositing and carrying out flattening of the polish recon 218 is shown. At the suitable duplex gate transistor of an operation gestalt, it is n+ so that it may become clear in the bottom. One gate is formed using the polish recon 218.

[0028] At the following step 108, the mandrel layer which remains is removed alternatively. As for this, it is desirable to carry out by giving RIE alternatively to a mandrel layer to a nitride side-attachment-wall spacer, a nitride etching halt layer, and gate polish recon. Subsequently, a middle oxidizing zone is formed on a polish recon gate ingredient. As for this, it is desirable to grow up the thermal oxidation film and to perform it on the polish recon gate. Next, drawing 8 is referred to. The mandrel layer 212 is removed in drawing 8, the oxide film etching halt layer 210 is removed to it, and the wafer section 200 after forming the thermal oxidation layer 220 on the gate polish recon 218 is shown in it. After etching alternatively the nitrated case 208 directly under a residual mandrel layer to an oxidizing zone 220, short-time HF etching is performed. Thereby, the residual oxidizing zone 206 directly under a residual mandrel layer is removed.

[0029] The exposed SOI layer is etched at the following step 110. As for this, it is desirable to carry out by etching a SOI layer using RIE and making it stop on an embedding oxidizing zone. Patterning of a SOI layer is completed by this and the body thickness of a duplex gate transistor is demarcated. Subsequently, gate oxide is formed in the side face which the transistor body exposed.

[0030] Another ion implantation may be performed on the body of a transistor between this step. Here, as for this, it is desirable to consist of the slanting ion implantation to the inside of the side attachment wall which the SOI layer exposed performed before formation of gate oxide.

[0031] Drawing 9 is referred to. The wafer section 200 after carrying out patterning of the SOI layer 202 is shown in drawing 9. The residual section of the SOI layer 202 constitutes the body (the case of this example silicon fin) of a duplex gate transistor. On the exposed SOI layer 202, gate oxide 221 is formed of thermal oxidation or dielectric film deposition.

[0032] When using a non-SOI wafer, after only the time amount corresponding to the desired depth (typically under the original silicon front face 100-200nm) etches a silicon fin, the whole surface is made to deposit the silicon oxide of the thickness of about 1/4 of the height of the etched fin on the pars-basilaris-occipitalis horizontal surface of etched silicon using deposition/etching process of an oxide film. In the case of the n mold FET, this oxide film is boron and, in the case of the p mold FET, is doped in Lynn. Out-diffusion of a part of dopant is carried out into the fin section very near the doped oxide film. This functions as controlling the leakage current produced on a front face uncontrollable by the gate of a fin from the source to a drain.

[0033] It returns to the operation gestalt of SOI. If a important matter is mentioned, the body of a duplex gate transistor will be demarcated by patterning of a SOI layer. **** which generally makes body (expressed TSI) thickness thin as compared with gate length — being desirable. Typically, in order to control a threshold electrical potential difference good, body thickness should be made less than [of gate length] about 1/4. Moreover, in order to avoid that originate in a quantum ***** problem and mobility becomes small, generally it is desirable to make body thickness thicker than about 2.5nm. Generally, since gate length has doubled with minimum feature size, he can make the body subminimum feature size by using side-attachment-wall image conversion. Therefore, as mentioned above with supra ***, body thickness can be decided with the width of face of a side-attachment-wall spacer.

[0034] At the following step 112, flattening of the gate ingredient for the 2nd gate is deposited and carried out. As mentioned above, with the suitable operation gestalt, the two gates are formed using the gate ingredient each other doped on the contrary. Therefore, at a suitable operation gestalt, it is p+. The 2nd gate of the two gates is formed using a mold doped polysilicon. p+ Flattening of a mold polish recon gate ingredient is n+. It is made to stop on the mold polish recon gate on the oxide film which carried out heat growth beforehand. p+ After carrying out flattening of the mold polish recon, the 2nd layer which consists of a heat growth oxide film is formed. Next, drawing 10 R is referred to. In drawing 10, it is p+. Deposition and the wafer section 200 after carrying out flattening and forming the 2nd gate are shown in the mold doped polysilicon 226.

Subsequently, the heat growth oxide film 228 is formed on the deposited polish recon 226.

[0035] A side-attachment-wall spacer is removed, intrinsic polish recon is filled up with the following step 114 into side-attachment-wall spacer opening, a production process smells later, and it enables it to form silicide in the field of a lever at the maximum. When the gate contact which dissociated and became independent is desirable as an arbitration activation matter, it may leave a side-attachment-wall spacer on that occasion. Subsequently, flattening of the intrinsic polish recon is carried out using CMP. This flattening is stopped on two layers which consist of a heat growth oxide film. This flattening does not need not much big selectivity. It is because the amounts of the superfluous genuineness polish recon which should be removed are very few. Subsequently, the heat growth oxide film exposed on the two gates is removed using the same planarizing process. Here, this down stream processing does not need not much big selectivity. Next, drawing 11 is referred to. The residual section of the side-attachment-wall spacer 214 is removed in drawing 11, and the wafer section 200 after filling up the made space with the intrinsic polish recon 230 is shown in it. Subsequently, the wafer section 200 after a CMP process removes the superfluous polish recon 230 and the heat growth oxide films 220 and 220 is shown in drawing 12. The amounts of the intrinsic polish recon 230 by which a side-attachment-wall spacer is left behind by this to the location currently formed from the first cannot but be very few. By using the intrinsic polish recon 230 of few of this amount, it sets like after a process flow and is p+. The mold polish recon gate and n+ The silicide bridge which connects the mold polish recon gate can be formed.

[0036] While formation of the body of a transistor is completed at this time of a production process, formation of the gate in the both sides of the body is completed. Next, drawing 13 is referred to. The expansion field of the wafer section 200 is again shown in drawing 13. Two or more transistors which can be set in this phase of a production process are shown in drawing 13. Here, since the width of face of the body is narrow, the transistor demarcated using the narrow side-attachment-wall spacer comes to have a high threshold electrical potential difference. Especially the width of face of the transistor body 231 is narrower than the width of face of the transistor body 233. Therefore, the threshold electrical potential difference of the transistor formed using the transistor body 231 becomes higher than the threshold electrical potential difference of the transistor formed using the transistor body 233.

[0037] It returns to an approach 100. Patterning of the gate is carried out at the following step 116.

Alternative removal of the gate ingredient section which adjoins and exists in the source field and drain field of a transistor is included in this. After this deposits and carries out patterning of a standard lithography technique, i.e., the hard surface mask blank, it is desirable to perform this hard surface mask blank that carried out patterning using the technique used as an etching inhibition object between etching of a gate ingredient. It is desirable to use the hard surface mask blank which changes from the same nitride as the etching halt layer formed in a body top to this hard surface mask blank.

[0038] Next, drawing 14 is referred to. The single transistor formed in the wafer section 200 is shown in drawing 14 as a perspective-projection Fig. n+ The mold gate polish recon 218 and p+ The hard surface mask blank 232 which consists of the nitride extended ranging over the two gates which consist of the mold gate polish recon 226 is formed. Next, drawing 15 is referred to. Etching which has selectivity to a hard surface mask blank is used for drawing 15, and they are n+ mold gate polish recon 218 and p+. The wafer section 200 after carrying out patterning of the mold gate polish recon 226 is shown. It is desirable to remove all gate polish recons until this patterning results in the embedding oxidizing zone 204. As for patterning of the gate, it is desirable to carry out using directivity etching which has selectivity to a nitride. Therefore, the part of the SOI body 202 protected in the formed nitride etching halt layer 208 by this patterning is not removed. Moreover, n+ which has demarcated the two gates of a duplex gate transistor by this patterning The mold polish recon 218 and p+ The part of the mold polish recon 226 is saved.

[0039] With a suitable operation gestalt, an oxide film is grown up into the whole silicon front face which performed heat reoxidation and was exposed, after performing buffer HF washing. It is desirable to form the thin film of 5nm thickness so that this may form a good interface in the contact section of the gate and the body.

[0040] At the next step 118 of an approach 100, the source, a drain, and each ion implantation field of a halo are formed into a transistor. As for these ion implantation, it is desirable to carry out from at least 4 directions and to enable it to form a uniform ion implantation field in the both sides of a fin. Especially the both sides of a source placing field and a drain placing field carry out from the both sides of the source section of a fin, and the drain section. Subsequently, another ion implantation is performed at another placing energy and an another include angle, and the halo placing field which improves a short channel effect is formed. The dopant which forms a halo placing field is bigger energy than the case of the source/drain, and performs halo placing at a sharper include angle to a fin so that it may enter deeply by the bottom of a gate electrode rather than the dopant which forms the source/drain. In the case of the n mold FET, the source / drain placing uses an arsenic and is performed at the energy of 1-15keV, and 5x10¹⁴ to 2x10¹⁵cm⁻² - the dose of 3 and the include angle of 45 degrees - 80 degrees to a fin, and halo placing uses boron, and it is usually performed so that the energy of 5-15keV, the dose of 1x10¹³-8x10¹³cm⁻², and a halo may be located in 20 degrees - 45 degrees to a fin. Similarly in the case of the p mold FET, usually the source / drain placing Boron is used and it carries out at the energy of 0.5-3keV, and 5x10¹⁴ to 2x10¹⁵cm⁻² - the dose of 3 and the include angle of 45 degrees - 80 degrees to a fin. Halo placing An arsenic is used, and it carries out so that the energy of 20-45keV, the

dose of $1 \times 10^{13} - 8 \times 10^{13} \text{cm}^{-2}$, and a halo may be located in 20 degrees - 45 degrees to a fin. Furthermore, all the ion implantation mentioned above needs to occur among about 70 degrees - 83 degrees from the horizontal plane of a suitable include angle, i.e., a wafer, from the horizontal plane of a wafer.

[0041] At the following step 120, a dielectric thicker than the height which added the gate electrode and the hard surface mask blank on BOX is made to deposit, flattening of a gate electrode and the exposed whole fin is covered and carried out, and although some of hard surface mask blanks and gate electrodes are exposed, the source/drain is hollowed to the never exposed condition (usually 10-50nm). This step is a part of side-attachment-wall spacer formation process to the edge of the gate of a transistor so that it may become clear in the bottom. As for the dielectric used here, it is desirable to consist of the oxide film which can be alternatively etched to the hard surface mask blank which consists of a formed nitride. Next, drawing 16 is referred to. The gate electrode of a transistor is surrounded in drawing 16 R > 6, and the wafer section 200 after making it deposit, carrying out flattening of the dielectric 240 and hollowing it is shown in it. As for this dielectric, it is desirable to make it become depressed using directivity etching which has selectivity to the hard surface mask blank 232 which consists of a formed nitride.

[0042] At the following step 122, a deposited dielectric is etched, after forming a side-attachment-wall spacer in the edge of the gate. After this deposits dielectric materials in a substrate configuration faithfully, it is desirable to carry out by performing directivity etching. As for this side-attachment-wall spacer, forming by the nitride is desirable. The side-attachment-wall spacer of this nitride can be used as a mask of directivity etching with the hard surface mask blank of a nitride. Consequently, a [near the gate] oxide film is removable.

[0043] Next, drawing 17 is referred to. The side-attachment-wall spacer 242 which consists of a nitride is formed in drawing 17, etching removal of the dielectric 240 is carried out, and the ***** wafer section 200 is shown only in the side-attachment-wall section 244 which adjoins the gate of a transistor. a hard surface mask blank 232, the side-attachment-wall spacer 242, and the side-attachment-wall section 244 — ***** - the gate is effectively separated from the source contact formed in a degree, and drain contact.

[0044] Source contact and drain contact are formed at the following step 124. As for this, it is desirable to carry out by filling up a field [finishing / removal] with a contact ingredient. As a contact ingredient, it is n+. Mold silicon and/or p+ What deposited alternatively conductive ingredients, such as mold silicon, silicon which forms low resistance contact, and a tungsten, can be used. ("A and/or B" express A, and "B, A or B".) It is [as opposed to / when using silicon / the n mold FET] n+. To the p mold FET, it is p+ to a mold. It dopes respectively in degeneration in a mold. Flattening of the contact ingredient is carried out after depositing until it becomes higher than the height of the hard surface mask blank which consists of a nitride until the hard surface mask blank which consists of a nitride by RIE and/or CMP (chemical-mechanical polish) is completely exposed. Subsequently, as shown in drawing 18, patterning of the wafer is carried out using a mask. This mask uses two or more FET for dissociating mutually while it etches the part for which it is not asked [of a source contact ingredient and a drain contact ingredient] and separates the source and a drain. Finally, a hard surface mask blank is alternatively removed by other etching techniques, such as RIE or a heat phosphoric acid. Then, after depositing metals, such as cobalt and titanium, a sinter is carried out by about 700-degreeC, and metal silicide is formed on the gate. In silicon contact, metal silicide is formed also source contact and after drain contact.

[0045] As mentioned above, according to the approach 100, the formation approach of the duplex gate transistor which can make gate length of a device the minimum feature size is acquired, making thickness of the body much thinner than gate length. Furthermore, according to the approach 100, the duplex gate transistor of the dope for un-which doped one side of the duplex gate in degeneration in n mold, and doped another side in degeneration in p mold is obtained. If one gate is doped in n mold and the gate of another side is doped in p mold, the threshold electrical potential difference of the device obtained as a result will be improved. According to the approach 100, the duplex gate transistor of various threshold electrical potential differences can be formed in the last by 1 time of the production process. Moreover, the transistor which has various body thickness is formed with the operation gestalt of this invention. It becomes possible to form the duplex gate transistor which has various threshold electrical potential differences, without complicating a production process so much by forming the duplex gate transistor of various body thickness according to the suitable operation gestalt.

[0046] Next, drawing 19 is referred to. The approach 300 of another suitable operation gestalt is shown in drawing 19. There is an advantage that the corrosion of the side-attachment-wall spacer used for demarcating the body of a transistor can be managed with the minimum in this approach 300. By the approach 300, it is because the pan of the above-mentioned side-attachment-wall spacer is only once carried out to RIE (reactive ion etching: reactive ion etching). Therefore, the etching cross-section configuration of the silicon obtained according to this operation gestalt was controlled very good. At step 301, a wafer is prepared and an etching halt layer and a mandrel layer as well as step 101 of the approach 100 mentioned above are formed. Subsequently, at step 302, patterning of the mandrel layer is carried out and an etching halt layer is etched directly. This differs from an approach 100 in that the side-attachment-wall spacer is not formed in a mandrel layer before carrying out patterning of the etching halt layer. Next, drawing 20 is referred to. An etching halt layer and a mandrel layer are formed in drawing 20, and the wafer section 200 after etching a mandrel layer and an etching halt layer directly is shown in it.

[0047] At the following step 304, patterning of the SOI layer is carried out by using a residual mandrel layer as a mask, and gate oxide is formed in the exposure side face of a SOI layer. After this gives RIE, CVD deposition of high dielectric constant (high-k) ingredients, such as thermal oxidation by 750-degreeC-800-degreeC or an aluminum oxide, performs it typically. Moreover, ion implantation may be performed into the body of a transistor between this step. As for this, it is desirable to consist of the slanting ion implantation to the inside of the exposure side face of the SOI layer before gate oxide formation. It functions as this ion implantation doping the body of a transistor appropriately. This ion implantation can be used for compensating the variation in the threshold electrical potential difference which is that of *****, originates in BARATSUGI of body thickness and produces uniform dopant concentration distribution so that it may explain in full detail in the bottom.

[0048] Next, drawing 21 is referred to. Patterning of the SOI layer 202 is carried out to drawing 21, and the wafer section 200 after forming gate oxide 216 in the side face of the SOI layer 202 is shown in it. Here, before forming gate oxide, slanting body ion implantation may be performed.

[0049] It returns to drawing 19. At the following step 306, a gate ingredient is made to deposit and flattening is carried out. As mentioned above, at a suitable operation gestalt, a duplex gate transistor is n+. While formed in the mold and it is [the gate and] p+. It has the gate of another side formed in the mold. At the operation gestalt to illustrate, it is n+. The mold gate is formed previously. Next, drawing 22 is referred to. drawing 2222 — n+ The wafer section 200 after making the mold polish recon 218 deposit and carrying out flattening is shown. At the suitable operation gestalt of a duplex gate transistor, it is this n+ so that it may become clear in the bottom. The mold polish recon 218 is used and one side of the two gates is formed.

[0050] At the following step 308, an extant mandrel ingredient is removed and a side-attachment-wall spacer is formed along the edge of the extant 1st gate ingredient. This side-attachment-wall spacer determines the width of face of the body of a transistor so that it may become clear in the bottom. Next, drawing 23 is referred to. The mandrel layer 212 is removed in drawing 23 R> 3, and the wafer section 202 after forming the side-attachment-wall spacer 302 in the side attachment wall of the 1st gate ingredient is shown in it.

[0051] It returns to drawing 19. At the following step 309, the width of face of the selected side-attachment-wall spacer is adjusted alternatively. As mentioned above, the threshold electrical potential difference of the transistor obtained as a result is changed with the width of face of the transistor body. With the suitable operation gestalt, the width of face of the selected side-attachment-wall spacer is changed, and various transistors which have body width of face which is different by 1 time of the production process, therefore a different threshold electrical potential difference are made to be obtained. The width of face of a side-attachment-wall spacer can be adjusted by the suitable approach of arbitration like the case of an approach 100. For example, after covering a side attachment wall by the suitable protective layer, the side attachment wall which carried out patterning of the protective layer and chose it is exposed. For example, after making a suitable photoresist deposit, only the chosen side-attachment-wall spacer which carried out patterning is exposed. And the width of face of the exposed side-attachment-wall spacer is adjusted. For example, only short-time ***** and the exposed side-attachment-wall spacer are narrowed, and a non-exposed side-attachment-wall spacer changes isotropic etching into a condition as it is. If it is the isotropic etching which removes some side-attachment-wall spacers which exposed the oxide film, without seldom removing, the thing of arbitration is applicable to these steps.

[0052] Next, drawing 24 is referred to. The expansion field of the wafer section 200 after forming two or more side-attachment-wall spacers 214 in the edge which the gate ingredient 218 exposed is shown in drawing 24. Each side-attachment-wall spacer 214 will be used for demarcating the transistor body for duplex gate field-effect transistors. If depended approach 300, the chosen side-attachment-wall spacer 214 on which the layer of a photoresist 215 was made to deposit and which carried out after patterning will be exposed, and other side-attachment-wall spacers will be kept covered by the photoresist 215. Thereby, the width of face of the exposed side-attachment-wall spacer can be adjusted compared with the width of face of the non-exposed side-attachment-wall spacer 214. For example, isotropic etching can be performed and only the exposed side-attachment-wall spacer 214 can be narrowed alternatively.

[0053] Next, drawing 25 is referred to. The expansion field of the wafer section 200 after narrowing the exposed side-attachment-wall spacer 214 using suitable etching is shown in drawing 25. Here, finally the width of face of a side-attachment-wall spacer determines the body width of face, therefore the threshold electrical potential difference of the transistor obtained as a result so that it may become clear in the bottom. Therefore, the body of the transistor formed using the narrowed side-attachment-wall spacer is narrower than the transistor formed using the side-attachment-wall spacer which is not narrowed. The threshold electrical potential difference of the transistor which narrowed the body becomes higher than the transistor which is not narrowing the body.

[0054] It returns to an approach 300. Although it explains hereafter while the remaining steps 310-326 are shown only using the one transistor body, he should understand the point that the same step group as the both sides of the transistor which narrowed body width of face, and the transistor which did not narrow body width of face can be applied also here. At the following step 310, after forming a middle oxide film on a gate ingredient, patterning of the SOI layer is carried out.

[0055] Next, drawing 26 is referred to. The wafer section 200 after forming the thermal oxidation layer 220 on the gate polish recon 218 is shown in drawing 26. The nitrated case 208 directly under a residual mandrel

layer is alternatively etched to an oxide film 220. Then, short-time HF etching removes the residual oxidizing zone 206 directly under a residual mandrel layer.

[0056] As for a SOI layer, it is desirable to carry out patterning using RIE which can etch a SOI layer, and to stop on an embedding oxidizing zone. Thereby, patterning of a SOI layer is completed and the thickness of the body of a duplex gate transistor is demarcated. Subsequently, gate oxide is formed in the side face which the transistor body exposed. Here, ion implantation may be performed into the transistor body between this step. As for this, it is desirable to consist of the slanting ion implantation to the inside of the side attachment wall which the SOI layer before gate oxide formation exposed also here.

[0057] Next, drawing 27 is referred to. The wafer section 200 after carrying out patterning of the SOI layer 202 is shown in drawing 27. The residual part of the SOI layer 202 constitutes the body of a duplex gate transistor. The width of face of the body is decided by width of face of the side-attachment-wall spacer 214 used for demarcating it. Therefore, the transistor which has various body width of face can be formed by changing alternatively the width of face of a side-attachment-wall spacer. Subsequently, gate oxide 221 is formed on the exposed SOI layer 202 by thermal oxidation or dielectric film deposition.

[0058] At the following step 312, flattening of the gate ingredient for the 2nd gate is deposited and carried out. As mentioned above, with a suitable operation gestalt, the two gates are formed using two gate ingredients each other doped on the contrary. Therefore, with a suitable operation gestalt, the 2nd gate of the two gates is formed using the polish recon doped in p+ mold. p+ Flattening of mold polish recon is n+. It is made to stop on the heat growth oxide film formed in a mold polish recon gate top. p+ After carrying out flattening of the mold polish recon, the 2nd layer which consists of a heat growth oxide film is formed. Next, drawing 28 is referred to. In drawing 28, it is p+. Deposition and the wafer section 200 after carrying out flattening and forming the 2nd gate are shown in mold polish recon. Subsequently, the heat growth oxide film 228 is formed on the deposited polish recon 226.

[0059] A side-attachment-wall spacer is removed, intrinsic polish recon is filled up with the following step 314 into side-attachment-wall spacer opening, a production process smells later, and it enables it to form silicide in the field of a lever at the maximum. When the gate contact which dissociated and became independent is desirable as an arbitration activation matter, it may leave a side-attachment-wall spacer as it is. Subsequently, flattening of the intrinsic polish recon is carried out using a CMP process. This flattening is stopped on two layers which consist of a heat growth oxide film. Since the amounts of the intrinsic polish recon which should be removed are very few, they do not need selectivity with this advanced planarizing process. Subsequently, the heat growth oxide film exposed on the two gates is removed using the same planarizing process. Here, advanced selectivity is not needed in this down stream processing. Next, drawing 29 is referred to. After removing the residual part of the side-attachment-wall spacer 302, the wafer section 200 after filling up dead air space with the intrinsic polish recon 230 is shown in drawing 29. And the wafer 200 after a CMP process removes the superfluous polish recon 230 and the heat growth oxide films 220 and 228 is shown in drawing 30. By this, only few [the intrinsic polish recon 230] parts will be left behind to the location in which the side-attachment-wall spacer was formed from the first. In the part after a process flow, this part of the intrinsic polish recon 230 is used, and it is p+. The mold polish recon gate and n+ It becomes possible to form the silicide bridge which connects the mold polish recon gate.

[0060] At this time of a production process, the body of a transistor is already formed, and the gate is formation ending at the both sides of the body. To a degree Drawing 31 is referred to. The enlarged drawing of the wafer 200 at this time is shown in drawing 31. Two or more transistors which can be set at this time of a production process are shown in drawing 31. Here, since the transistor demarcated using the narrowed side-attachment-wall spacer has the narrow body, it will have a high threshold electrical potential difference. Especially the transistor body 231 is narrower than the transistor body 233. Therefore, a threshold electrical potential difference becomes high rather than the transistor which forms the transistor formed using the transistor body 231 using the transistor body 233.

[0061] It returns to an approach 300. Steps 316-326 which remain are the same as steps 116-126 mentioned above about the approach 100. The approach 300 is equipped with the formation process of the duplex gate transistor which makes it possible to maintain the gate length of a device at the minimum feature size, making it possible to make thickness of the body much thinner than gate length like an approach 100. Furthermore, according to the approach 300, one side of the duplex gate is doped by n mold in degeneration, and the duplex gate transistor with unsymmetrical gate doping with which another side is doped by p mold in degeneration is obtained. If one gate is doped in n mold and the gate of another side is doped in p mold, the threshold electrical potential difference of the device obtained as a result will improve. According to the approach 300, the duplex gate transistor which has various threshold electrical potential differences by 1 time of the production process can be formed in the last. There is further advantage in an approach 300. That is, by the approach 300, since the pan of the side-attachment-wall spacer has been carried out to RIE only once [only], the corrosion of the side-attachment-wall spacer used for demarcating the transistor body can be suppressed to the minimum. Therefore, the etching cross-section configuration of the silicon by this operation gestalt was being controlled very good.

[0062] As mentioned above, this invention offers the duplex gate transistor which attains the improved device engine performance and a consistency, and its formation approach. With the suitable operation gestalt of this invention, the duplex gate transistor which doped the gate asymmetrically is obtained. In this case, one side of

the duplex gate is doped by n mold in degeneration, and another side is doped by p mold in degeneration. If one gate is doped in n mold and the gate of another side is doped in p mold, the threshold electrical potential difference of the device obtained as a result will be improved. If the two gates are doped especially asymmetrically, the threshold electrical potential difference of the transistor conjointly obtained as a result with suitable doping to the body will become the value of the range in which low-battery CMOS actuation is possible.

[0063] Moreover, this invention offers the duplex gate transistor which makes easy formation of various transistors which have a different threshold electrical potential difference, and its formation approach. With the operation gestalt of this invention, the transistor which has various body width of face is formed. The duplex gate transistor which has various threshold electrical potential differences can be formed without complicating a production process not much by forming the duplex gate transistor which has various body width of face according to the suitable operation gestalt.

[0064] Also although especially this invention is shown about the typical operation gestalt using a fin mold duplex gate field-effect transistor, and it explains and it excels, a suitable operation gestalt can be applied to the duplex gate transistor of other molds, and can change the detail of the implementation approach among the main object of this invention, and the range so that this contractor can recognize. For example, this invention is applicable to various separation technology (for example, LOCOS, ROX [recessed oxide], etc.), the technique of various wells and substrates, various dopant molds, various energy, and various dopant kinds so that this contractor can understand easily. Moreover, the main object of this invention is applicable to other semiconductor technology (for example, BiCMOS, bipolar **SOI [silicon on insulator], SiGe [silicon germanium], etc.) so that this contractor can understand easily.

[0065] The following matters are indicated as a conclusion.

- (1) The step which is the approach of forming the transistor which has various threshold electrical potential differences, and prepares (a) semi-conductor substrate, (b) The step which forms two or more forms which have width of face on said semi-conductor substrate, (c) Carry out patterning of said semi-conductor substrate to the step which adjusts alternatively the width of face of at least one form using the form of the (d) aforementioned plurality, and two or more transistor bodies are formed. The step partially decided at least with the width of face of that each width of face of whose of two or more of said transistor bodies is one to which it corresponds of said two or more forms, (e) Each 1st body edge of two or more of said transistor bodies is adjoined. The approach equipped with the step which forms the 1st gate structure of the 1st work function, and the step which adjoins each 2nd body edge of the transistor body of the (f) aforementioned plurality, and forms the 2nd gate structure of the 2nd work function.
- (2) An approach given in the above (1) from which said 1st gate structure of the 1st work function consists of p die materials, and said 2nd gate structure of the 2nd work function consists of n die materials.
- (3) Approach given in the above (1) further equipped with the step which forms a source field, a drain field, and a halo field using (g) slanting ion implantation.
- (4) An approach given in the above (1) whose step in which said semi-conductor substrate changes from a SOI layer, carries out patterning of said semi-conductor substrate using said two or more forms, and forms two or more transistor bodies is equipped with patterning of said SOI layer.
- (5) An approach given in the above (3) in which said substrate has a horizontal plane and the source field and the drain field are formed at the include angle of about 70 degrees - 83 degrees to said horizontal plane.
- (6) The step at which said step which forms two or more forms, and said step which forms two or more transistor bodies using said two or more forms form a mandrel layer on said semi-conductor substrate. The step which carries out patterning of said mandrel layer, and forms an exposure side face. An approach given in the above (1) whose 2nd edge of said side-attachment-wall spacer have the step which adjoins said exposure side face and forms a side-attachment-wall spacer, the 1st edge of said side-attachment-wall spacer demarcates the 1st body edge, and demarcates the 2nd body edge.
- (7) The step at which said step which forms two or more forms, and said step which forms two or more transistor bodies using said two or more forms form a mandrel layer on said semi-conductor substrate. The step which carries out patterning of said mandrel layer, and the step which demarcates the 1st body edge using said mandrel layer which carried out patterning. An approach given in the above (1) equipped with the step which adjoins a gate ingredient layer and forms a side-attachment-wall spacer, and the step which demarcates the 2nd body edge using said side-attachment-wall spacer.
- (8) The step which prepares the SOI substrate which is the approach of forming two or more field-effect transistors which have various threshold electrical potential differences, and was equipped with the silicon layer on (a) embedding dielectric layer, (b) The step which carries out patterning of said mandrel layer, and demarcates two or more mandrel **** after forming a mandrel layer on said silicon layer, (c) Patterning of said silicon layer is carried out by said two or more mandrel ****. In a step [which forms two or more 1st body edges], and 1st [of the step which forms two or more 1st gate dielectrics on said two or more 1st body edges, and the (d) (e) aforementioned plurality] gate dielectric top The step which adjoins said 1st body edge and forms two or more 1st gate structure of the 1st work function, (f) The step to which patterning of said mandrel layer is carried out, and the 1st edge of two or more of said 1st gate structures is exposed, (g) The step which forms two or more side-attachment-wall spacers which adjoin said 1st edge of two or more of said 1st gate structures, and have side-attachment-wall spacer width of face, (h) Patterning of the (i)

aforementioned silicon layer is carried out to the step which adjusts the width of face of the selected side-attachment-wall spacer with two or more side-attachment-wall spacers. The step to which it is the step which forms two or more 2nd body edges, and said 1st body edge of said silicon layer which carried out patterning, and said 2nd body edge have demarcated two or more transistor bodies, (j) Approach equipped with the step which forms two or more 2nd gate dielectrics on said two or more 2nd body edges, and the step which adjoins said 2nd body edge and forms two or more 2nd gate structure of the 2nd work function on the 2nd [of the (k) aforementioned plurality] gate dielectric.

(9) An approach given in the above (8) from which said two or more 1st gate structures of the 1st work function consist of p mold polish recon ingredient, and said two or more 2nd gate structures of the 2nd work function consist of n mold polish recon ingredient.

(10) An approach given in the above (8) from which said two or more 1st gate structures of the 1st work function consist of n mold polish recon ingredient, and said two or more 2nd gate structures of the 2nd work function consist of p mold polish recon ingredient.

(11) Approach given in the above (8) equipped with the step which performs slanting ion implantation and forms two or more source / drain placing fields into said transistor body into said transistor body further.
(12)

(a) Are two or more transistor bodies formed on the substrate, and said transistor body has the 1st perpendicular edge which demarcates transistor body width of face respectively, and the 2nd perpendicular edge. Two or more transistor bodies which have the width of face whose part chosen of said two or more transistor bodies has been adjusted, (b) Are two or more 1st gate structures, and each of two or more of said 1st gate structures adjoins one of the 1st perpendicular edge of two or more of said transistor bodies. Two or more 1st gate structures in which said two or more 1st gate structures have the 1st work function, (c) Are two or more 2nd gate structures, and each of two or more of said 2nd gate structures adjoins one of the 2nd perpendicular edge of two or more of said transistor bodies. Said two or more 2nd gate structures are transistor groups equipped with two or more 2nd gate structures which have the 2nd work function.

(13) A transistor group given in the above (12) from which said two or more 1st gate structures consist of p die materials, and said two or more 2nd gate structures consist of n die materials.

(14) A transistor group given in the above (12) from which said two or more transistor bodies consist of a semi-conductor fin.

(15) A transistor group given in the above (12) from which said two or more transistor bodies consist of a part of SOI layer.

(16) A transistor group given in the above (12) from which said two or more 1st gate structures and said two or more 2nd gate structures consist of polish recon.

(17) Transistor group given in the above (12) equipped with two or more 2nd gate dielectrics further prepared between two or more 1st gate dielectrics prepared between the 1st perpendicular edge of said transistor body, and said 1st gate structure, and the 2nd perpendicular edge of said transistor body and said 2nd gate structure.

(18) A transistor group given in the above (12) said two or more transistor fins of whose are equipped with the source ion implantation field and the drain ion implantation field.

(19) A transistor group given in the above (12) said whose width of face of two or more of said transistor bodies each of said two or more 1st gate structures and two or more of said 2nd gate structures has die length, and is less than [of said die length] about 1/4 in each.

(20) A transistor group given [with said width of face of two or more of said transistor bodies wider than about 2.5nm] in the above (12).

1 (21) It is the duplex gate transistor group in which it has the 2nd transistor equipped with the 1st transistor equipped with the 1st body width of face, the 1st gate, and the 2nd gate, the 2nd body width of face, the 1st gate, and the 2nd gate, said 1st gate has the 1st work function respectively, and said 2nd gate has the 2nd work function respectively.

[Translation done.]

*** NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] ***** which shows the flow chart which shows the 1st manufacture approach.
- [Drawing 2] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 3] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 4] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 5] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 6] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 7] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 8] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 9] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 10] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 11] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 12] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 13] It is the sectional side elevation of the typical duplex gate transistor under manufacture.
- [Drawing 14] It is the perspective drawing of the typical duplex gate transistor under manufacture.
- [Drawing 15] It is the perspective drawing of the typical duplex gate transistor under manufacture.
- [Drawing 16] It is the perspective drawing of the typical duplex gate transistor under manufacture.
- [Drawing 17] It is the perspective drawing of the typical duplex gate transistor under manufacture.
- [Drawing 18] It is the perspective drawing of the typical duplex gate transistor under manufacture.
- [Drawing 19] It is drawing showing the flow chart which shows the 2nd manufacture approach.
- [Drawing 20] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 21] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 22] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 23] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 24] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 25] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 26] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 27] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 28] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 29] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 30] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.
- [Drawing 31] It is the sectional side elevation of the 2nd typical duplex gate transistor under manufacture.

[Description of Notations]

- 100 Approach
- 200 Wafer Section
- 202 SOI Layer
- 204 Embedding Oxidizing Zone
- 206 Oxidizing Zone
- 208 Nitrated Case
- 210 Oxidizing Zone
- 212 Mandrel Layer
- 214 Side-Attachment-Wall Spacer
- 215 Photoresist
- 216 Gate Oxide
- 218 N+ Polish Recon
- 220 Thermal Oxidation Layer
- 226 P+ Polish Recon
- 228 Heat Growth Oxide Film
- 230 Intrinsic Polish Recon
- 231 Transistor Body
- 232 Hard Surface Mask Blank
- 233 Transistor Body
- 240 Dielectric

242 Side-Attachment-Wall Spacer
300 Approach
302 Side-Attachment-Wall Spacer

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-163356

(P2003-163356A)

(43) 公開日 平成15年6月6日(2003.6.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/786		H 0 1 L 27/08	3 3 1 E 4 M 1 0 4
21/336		29/78	6 1 7 N 5 F 0 4 8
21/8234		27/08	1 0 2 A 5 F 1 1 0
21/8238			3 2 1 A
27/08	3 3 1	29/78	6 1 6 L

審査請求 有 請求項の数21 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2002-276580(P2002-276580)

(22) 出願日 平成14年9月24日(2002.9.24)

(31) 優先権主張番号 0 9 / 9 7 2 1 7 2

(32) 優先日 平成13年10月5日(2001.10.5)

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州

アーモンク ニュー オーチャード ロ
ード

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

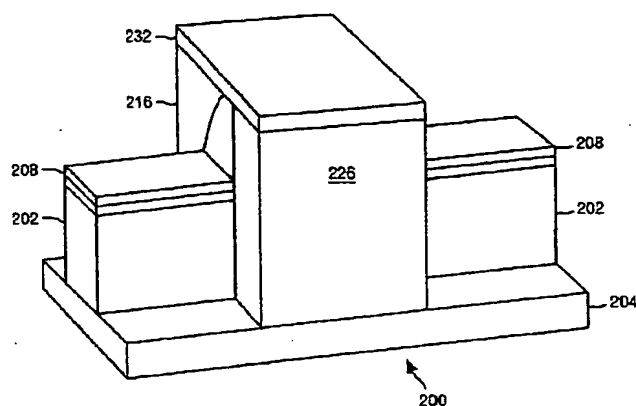
最終頁に続く

(54) 【発明の名称】 二重ゲート・トランジスタおよびその製造方法

(57) 【要約】

【課題】 異なるしきい値電圧を有する様々なトランジスタを形成するのを容易にする、二重ゲート・トランジスタとその形成方法を提供する。

【解決手段】 本発明の実例では、様々なボディ幅を有するトランジスタ群を形成する。様々なボディ幅を有する二重ゲート・トランジスタを形成することにより、好適な実例によれば、製造工程をさほど複雑にすることなく、様々なしきい値電圧を有する二重ゲート・トランジスタを形成できる。本発明の好適な実例は、フィン型の二重ゲート構造を用いることにより実現することができる。フィン型構造においては、ボディの両側に二重ゲートを形成する。このボディは、2つのゲートの間に水平に配置されている。



【特許請求の範囲】

【請求項 1】 様々なしきい値電圧を有するトランジスタを形成する方法であって、(a) 半導体基板を準備するステップと、(b) 前記半導体基板上に幅を有する形体を複数個形成するステップと、(c) 少なくとも 1 つの形体の幅を選択的に調整するステップと、(d) 前記複数の形体を用いて前記半導体基板をパターンニングして複数のトランジスタ・ボディを形成し、前記複数のトランジスタ・ボディの各々の幅が前記複数の形体のうちの対応する 1 つのものの幅によって少なくとも部分的に決められるようにするステップと、(e) 前記複数のトランジスタ・ボディの各々の第 1 のボディ端に隣接して、第 1 の仕事関数の第 1 のゲート構造体を形成するステップと、(f) 前記複数のトランジスタ・ボディの各々の第 2 のボディ端に隣接して、第 2 の仕事関数の第 2 のゲート構造体を形成するステップとを備えた方法。

【請求項 2】 第 1 の仕事関数の前記第 1 のゲート構造体が p 型材料から成り、第 2 の仕事関数の前記第 2 のゲート構造体が n 型材料から成る、請求項 1 に記載の方法。

【請求項 3】 さらに、(g) 斜めイオン打ち込みを用いて、ソース領域、ドレイン領域、およびハロー領域を形成するステップを備えた、請求項 1 に記載の方法。

【請求項 4】 前記半導体基板が SOI 層から成り、前記複数の形体を用いて前記半導体基板をパターンニングして複数のトランジスタ・ボディを形成するステップが、前記 SOI 層のパターンニングを備えている、請求項 1 に記載の方法。

【請求項 5】 前記基板が水平面を有し、前記水平面に対して約 70° ~ 83° の角度でソース領域とドレイン領域とが形成されている、請求項 3 に記載の方法。

【請求項 6】 複数の形体を形成する前記ステップと、前記複数の形体を用いて複数のトランジスタ・ボディを形成する前記ステップとが、前記半導体基板上にマンドレル層を形成するステップと、前記マンドレル層をパターンニングして露出側面を形成するステップと、前記露出側面に隣接して側壁スペーサを形成するステップとを備え、前記側壁スペーサの第 1 の端が第 1 のボディ端を画定し、前記側壁スペーサの第 2 の端が第 2 のボディ端を画定する、請求項 1 に記載の方法。

【請求項 7】 複数の形体を形成する前記ステップと、前記複数の形体を用いて複数のトランジスタ・ボディを形成する前記ステップとが、前記半導体基板上にマンドレル層を形成するステップと、前記マンドレル層をパターンニングするステップと、

前記パターンニングしたマンドレル層を用いて第 1 のボディ端を画定するステップと、

ゲート材料層に隣接して側壁スペーサを形成するステップと、

前記側壁スペーサを用いて第 2 のボディ端を画定するステップとを備えた請求項 1 に記載の方法。

【請求項 8】 様々なしきい値電圧を有する複数の電界効果トランジスタを形成する方法であって、(a) 埋め込み誘電体層上にシリコン層を備えた SOI 基板を準備するステップと、(b) 前記シリコン層上にマンドレル層を形成したのち、前記マンドレル層をパターンニングして複数のマンドレル層端を画定するステップと、(c) 前記シリコン層を前記複数のマンドレル層端でパターンニングして、複数の第 1 のボディ端を形成するステップと、

(d) 前記複数の第 1 のボディ端上に複数の第 1 のゲート誘電体を形成するステップと、(e) 前記複数の第 1 のゲート誘電体上において、前記第 1 のボディ端に隣接して、第 1 の仕事関数の第 1 のゲート構造体を複数個形成するステップと、(f) 前記マンドレル層をパターンニングして、前記複数の第 1 のゲート構造体の第 1 端を露出させるステップと、(g) 前記複数の第 1 のゲート構造体の前記第 1 端に隣接して、側壁スペーサ幅を有する複数の側壁スペーサを形成するステップと、(h) 選択した側壁スペーサの幅を調整するステップと、(i) 前記シリコン層を複数の側壁スペーサでパターンニングして、複数の第 2 のボディ端を形成するステップであって、前記パターンニングしたシリコン層の前記第 1 のボディ端と前記第 2 のボディ端が、複数のトランジスタ・ボディを画定しているステップと、(j) 前記複数の第 2 のボディ端上に複数の第 2 のゲート誘電体を形成するステップと、(k) 前記複数の第 2 のゲート誘電体上において、前記第 2 のボディ端に隣接して、第 2 の仕事関数の第 2 のゲート構造体を複数個形成するステップとを備えた方法。

【請求項 9】 第 1 の仕事関数の前記複数の第 1 のゲート構造体が p 型ポリシリコン材料から成り、第 2 の仕事関数の前記複数の第 2 のゲート構造体が n 型ポリシリコン材料から成る、請求項 8 に記載の方法。

【請求項 10】 第 1 の仕事関数の前記複数の第 1 のゲート構造体が n 型ポリシリコン材料から成り、第 2 の仕事関数の前記複数の第 2 のゲート構造体が p 型ポリシリコン材料から成る、請求項 8 に記載の方法。

【請求項 11】 さらに、前記トランジスタ・ボディ中に斜めイオン打ち込みを行なって、前記トランジスタ・ボディ中に複数のソース／ドレイン打ち込み領域を形成するステップを備えた請求項 8 に記載の方法。

【請求項 12】 (a) 基板上に形成された複数のトランジスタ・ボディであって、前記トランジスタ・ボディは各々トランジスタ・ボディ幅を画定する第 1 の垂直端と

第2の垂直端とを有し、前記複数のトランジスタ・ボディのうちの選択した部分が既調整の幅を有している、複数のトランジスタ・ボディと、(b)複数の第1のゲート構造体であって、前記複数の第1のゲート構造体の各々が前記複数のトランジスタ・ボディの第1の垂直端の1つに隣接しており、前記複数の第1のゲート構造体は第1の仕事関数を有している、複数の第1のゲート構造体と、(c)複数の第2のゲート構造体であって、前記複数の第2のゲート構造体の各々が前記複数のトランジスタ・ボディの第2の垂直端の1つに隣接しており、前記複数の第2のゲート構造体は第2の仕事関数を有している、複数の第2のゲート構造体とを備えたトランジスタ群。

【請求項13】前記複数の第1のゲート構造体がp型材料から成り、

前記複数の第2のゲート構造体がn型材料から成る、請求項12に記載のトランジスタ群。

【請求項14】前記複数のトランジスタ・ボディが半導体フィンから成る、請求項12に記載のトランジスタ群。

【請求項15】前記複数のトランジスタ・ボディがSOI層の一部から成る、請求項12に記載のトランジスタ群。

【請求項16】前記複数の第1のゲート構造体および前記複数の第2のゲート構造体がポリシリコンから成る、請求項12に記載のトランジスタ群。

【請求項17】さらに、前記トランジスタ・ボディの第1の垂直端と前記第1のゲート構造体との間に設けられた複数の第1のゲート誘電体と、

前記トランジスタ・ボディの第2の垂直端と前記第2のゲート構造体との間に設けられた複数の第2のゲート誘電体とを備えた、請求項12に記載のトランジスタ群。

【請求項18】前記複数のトランジスタ・フィンがソース・イオン打ち込み領域とドレイン・イオン打ち込み領域とを備えている、請求項12に記載のトランジスタ群。

【請求項19】前記複数の第1のゲート構造体および前記複数の第2のゲート構造体の各々が長さを有しており、

前記複数のトランジスタ・ボディの各々の前記幅が前記長さの約4分の1未満である、請求項12に記載のトランジスタ群。

【請求項20】前記複数のトランジスタ・ボディの前記幅が約2.5nmよりも広い、請求項12に記載のトランジスタ群。

【請求項21】第1のボディ幅と、

第1のゲートと、

第2のゲートとを備えた第1のトランジスタと、

第2のボディ幅と、

第1のゲートと、

第2のゲートとを備えた第2のトランジスタとを備え、前記第1のゲートは各々第1の仕事関数を有し、前記第2のゲートは各々第2の仕事関数を有する二重ゲート・トランジスタ群。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に半導体製造の分野に関し、特に二重ゲート電界効果トランジスタを形成する方法に関する。

【0002】

【従来の技術】半導体装置の製造においてコストと性能を競争できる状態に維持する必要から、集積回路のデバイス密度はたえず増大してきた。このデバイス密度の増大を容易にするために、これら半導体装置のフィーチャ・サイズ（最小加工寸法）を縮小させるのを可能にする新たな技術がたえず必要とされている。

【0003】たえまなくデバイス密度を増大させる圧力は、CMOS技術、たとえば電界効果トランジスタ(FET)の設計と製造などにおいて特に強い。ほとんどすべての種類の集積回路（すなわちマイクロプロセッサやメモリなど）において、FETが使われている。FETの基礎的な設計パラメータの1つに、しきい値電圧(V_t)がある。FETのしきい値電圧とは、一般に、(FETの種類に応じて)当該FETをスイッチ・オンまたはスイッチ・オフさせるのに必要なゲート電圧のことである。FETは、しきい値電圧が異なると、動作特性も異なる。たとえば、しきい値電圧の低いトランジスタは、一般に、高周波で動作することができるとともに、電流駆動力が大きい。しかし、しきい値電圧の低いトランジスタは、漏れ電流も大きいから、一般に、しきい値電圧の高いトランジスタよりも電力消費量が多い。

【0004】したがって、ある用途ではしきい値電圧の低いトランジスタを用いて性能を改善させ、別の用途ではしきい値電圧の高いトランジスタを用いて不所望の電力消費を削減するのが望ましい。しかしながらあいにく、トランジスタのボディがきわめて薄い場合、同一のデバイス中にしきい値電圧の異なるトランジスタを作製するのは、一般に困難である。

【0005】このことは、二重ゲート電界効果トランジスタについて特に当てはまる。二重ゲートFETでは、ボディの両側に1つずつ合計2つのゲートを用いることにより、基準を満たした特性を維持する一方で、CMOSの寸法を拡大縮小するのを容易にしている。特に、二重ゲートを用いるとチャネル上のゲート電位を良好に制御できるようになるので、デバイスのゲート長を長くしなくともトランジスタを流れる電流を良好に制御することが可能になる。したがって、二重ゲートFETでは、大きなトランジスタであっても、その大きさに見合った分のスペースを増やす必要なく、その電流制御を行なう

ことができる。

【0006】したがって、必要以上に製造工程を複雑にすることなく、同一のデバイス中にしきい値電圧の異なるトランジスタを形成できる、二重ゲート・トランジスタのデバイス構造とその製造方法とが求められている。

【0007】

【課題を解決するための手段】本発明は、異なるしきい値電圧を有する様々なトランジスタを形成するのを容易にする、二重ゲート・トランジスタとその形成方法を提供する。第1の側面では、以下に示すステップ群から成る、様々なしきい値電圧を有するトランジスタ群を形成する方法を提供する。すなわち、(a) 半導体基板を準備するステップと、(b) 前記半導体基板上に幅を有する形体を複数個形成するステップと、(c) 少なくとも1つの形体の幅を選択的に調整するステップと、(d) 前記複数の形体を用いて前記半導体基板をパターンニングして複数のトランジスタ・ボディを形成し、前記複数のトランジスタ・ボディの各々の幅が前記複数の形体のうちの対応する1つのものの幅によって少なくとも部分的に決められるようにするステップと、(e) 前記複数のトランジスタ・ボディの各々の第1のボディ端に隣接して、第1の仕事関数の第1のゲート構造体を形成するステップと、(f) 前記複数のトランジスタ・ボディの各々の第2のボディ端に隣接して、第2の仕事関数の第2のゲート構造体を形成するステップとである。

【0008】第2の側面では、以下に示す構成要素群から成る、様々なしきい値電圧を有するトランジスタ群を提供する。すなわち、(a) 基板上に形成された複数のトランジスタ・ボディであって、前記トランジスタ・ボディは各々トランジスタ・ボディ幅を画定する第1の垂直端と第2の垂直端とを有し、前記複数のトランジスタ・ボディのうちの選択した部分が既調整の幅を有している、複数のトランジスタ・ボディと、(b) 複数の第1のゲート構造体であって、前記複数の第1のゲート構造体の各々が前記複数のトランジスタ・ボディの第1の垂直端の1つに隣接しており、前記複数の第1のゲート構造体は第1の仕事関数を有している、複数の第1のゲート構造体と、(c) 複数の第2のゲート構造体であって、前記複数の第2のゲート構造体の各々が前記複数のトランジスタ・ボディの第2の垂直端の1つに隣接しており、前記複数の第2のゲート構造体は第2の仕事関数を有している、複数の第2のゲート構造体とである。

【0009】

【発明の実施の形態】本発明は、しきい値電圧が異なる様々なトランジスタを容易に形成しうる、二重ゲート・トランジスタとその形成方法を提供するものである。本発明の実施形態では、様々なボディ幅を有するトランジスタを形成している。様々なボディ幅を有する二重ゲート・トランジスタを形成することにより、本発明の実施形態では、形成プロセスを複雑にすることなく、様々な

しきい値電圧を有する二重ゲート・トランジスタを形成している。

【0010】本発明の第1の実施形態では、ゲート間に水平に配置されたボディの両側に二重ゲートを形成している。これにより、デバイスのゲート長を最小フィッチャ・サイズにする一方で、ボディの厚さをゲート長よりもずっと薄くすることが可能になる。また、これにより、結果として得られるデバイスのしきい値電圧を良好に制御することも可能になる。さらに、この形成方法により、プロセスとデバイスが複雑になるのを最小限に抑えながら、異なるしきい値電圧を有する様々なトランジスタを形成することが可能になる。

【0011】さらに、本発明は、ゲート・ドーピングが非対称な二重ゲート・トランジスタを提供する。この場合、二重ゲートの一方をn型に縮退的にドーブし、他方をp型に縮退的にドーブしている。二重ゲートの一方をn型にドーブし、他方をp型にドーブすると、結果として得られるデバイスのしきい値電圧が改善する。特に、2つのゲートを非対称にドーブすると、ボディが適切にドーブされるので、結果として得られるトランジスタのしきい値電圧を低電圧CMOS動作が可能になる範囲にすることができる。たとえば、n型FETの場合には0V~0.5V、p型FETの場合には0V~-0.5Vのしきい値電圧を有するトランジスタを形成することができる。

【0012】様々な導電性材料は、固有のビルトイン電気ポテンシャル（「仕事関数」と呼ばれる場合が多い）を備えている。この仕事関数は、外部印加電圧とともに、電子（または正孔）に対する導体の相対親和力を決めている。金属では、仕事関数は物質に固有なものである。一方、シリコンなどの半導体では、過剰な正孔または電子を供給する不純物を導入することにより、仕事関数を価電子帯と伝導帯の間の値に調整することができる。本発明の好適な実施形態の非対称型二重ゲートFETでは、2つのゲート電極を反対極性の不純物でドーブしている。すなわち、一方のゲートをn型にドーブし、他方のゲートをp型にドーブしている。したがって、これら2つのゲート電極の仕事関数は異なるから、一方のゲート電極（強いゲート、n型FETのn型ゲート）が反転キャリアに対して大きな親和力を有するのに対し、他方のゲート電極（弱いゲート、n型FETのp型ゲート）は反転キャリアに対して小さな親和力しか有さない。この結果、半導体ボディの「強い」ゲートの近傍に反転チャネルが形成されるので、ゲート電極は両方とも反転ポテンシャルの形成に寄与するから、比較的低いしきい値電圧（たとえば0V~0.5V）が実現する。

【0013】次に、図1を参照する。図1には、本発明の好適な実施形態に従って二重ゲート・トランジスタを形成する方法100が示されている。方法100は、製造方法の信頼性と簡潔性を維持しながら、トランジスタ

のしきい値電圧を改善しうるように二重ゲート・トランジスタを形成する方法を示すものである。さらに、方法100によれば、様々なボディ幅、したがって様々なしきい値電圧を有する二重ゲート・トランジスタを容易に形成することができる。特に、方法100では、側壁スペーサを用いて、トランジスタのボディ幅（「フィン幅」とも呼ばれる）を画定している。方法100では、側壁スペーサを選択的に変更して、様々なトランジスタのしきい値電圧を選択的に変更するのを容易にしている。したがって、方法100によれば、製造工程が複雑になるのを最小限に抑えながら、異なるしきい値電圧を有する様々なトランジスタを形成することができる。

【0014】方法100の第1ステップ101では、適切な半導体ウェーハを準備し、様々なエッチング停止層を堆積し、マンドレル層を堆積する。好適な実施形態では、使用するウェーハはSOI（silicon on insulator）ウェーハから成る。したがって、ウェーハはSOI層の直下に埋め込み酸化層を備えている。下で明らかになるように、SOI層は、二重ゲート・トランジスタのボディを形成するのに使用する。一般に、 n 型FETの場合、ドーピング密度が $3 \times 10^{18} \text{ cm}^{-3} \sim 8 \times 10^{18} \text{ cm}^{-3}$ の p 型のSOI層を用いて、トランジスタのしきい値電圧を適切な値に制御するのが望ましい。しかしながら、後述する別の実施形態では、ボディ全体で均一なドーピング密度を実現するのを容易にするために、SOI層のドーピングを斜めイオン打ち込みによって行っている。

【0015】しかしながら、非SOIウェーハを用いてもよい。非SOIウェーハを用いる場合であっても、特に注記しない限り、処理方法はSOIウェーハの場合と同じである。

【0016】SOIウェーハを準備した場合、ウェーハ上に3層エッチング停止層を形成する。この3層エッチング停止層は、二酸化シリコン層、窒化シリコン層、および第2のシリコン酸化層から成るのが望ましい。これらのエッチング停止層は、適当なエッチング停止層が必要な場合、全製造工程で使用する。

【0017】次いで、マンドレル層を形成する。マンドレル層は、酸化物または他の適切な材料で構成するのが望ましい。下で詳述するように、マンドレル層は、二重ゲート・トランジスタのボディを画定する側壁イメージ変換体の一部を構成している。したがって、マンドレル層は、トランジスタのボディを画定するのに用いる側壁スペーサを形成するのに用いる。好適な実施形態では、マンドレル層の厚さは10nm～100nmである。しかし、この厚さは必要なボディ厚さに応じて変化する。

【0018】次に、図2を参照する。図2には、エッチング停止層とマンドレル層を形成したあとのウェーハ部200が示されている。好適な実施形態のウェーハ部200は、SOIウェーハから成るので、SOI層202と埋め込み酸化層204を備えている。SOI層202上には、酸化層206、窒化層208、および酸化層210が形成されている。これらの層はエッチング停止層として機能する。酸化層210上には、マンドレル層212が形成されている。

【0019】図1に戻る。次のステップ102では、マンドレル層をパターニングしたのち側壁スペーサを形成する。マンドレル層は、二重ゲートの一方を形成する領域を開口するようにパターニングする。側壁スペーサは、シリコン窒化膜を堆積したのち適切な方向性エッチングを行なって形成するのが望ましい。無論、側壁スペーサを形成するのに、他の材料と方法を用いてもよい。後述するように、側壁スペーサの厚さは、側壁イメージ変換を用いて二重ゲート・トランジスタのボディ領域を画定することになる。この厚さを選択的に調整することにより、様々なしきい値電圧を有するトランジスタが形成できるようになる。

【0020】図3を参照する。図3には、マンドレル層212をパターニングして側壁スペーサ214を形成したあとのウェーハ部200が示されている。ここでも、側壁スペーサは、側壁イメージ変換を用いて、結果として得られるトランジスタのボディ厚さを画定するのに使われることになる。

【0021】図1に戻る。次のステップ103では、選択した側壁スペーサの幅を選択的に調整する。側壁スペーサの幅は結果として得られるトランジスタのしきい値電圧に影響するボディ幅を画定しているから、ステップ103によって、選択したトランジスタのしきい値電圧を容易に調整することができる。側壁スペーサの幅は、適切な任意の方法で調整しうる。たとえば、適切な保護層を用いて側壁スペーサを覆ったのち、当該保護層を露出している選択した側壁スペーサに合わせてパターニングする。たとえば、適切なフォトレジスト層を堆積・パターニングして、選択した側壁スペーサだけを露出させることができる。そして、露出した側壁スペーサの幅を調整することができる。たとえば、等方性エッチングを短時間施すことにより、露出した側壁スペーサだけを狭め、非露出の側壁をそのままの状態に保つことができる。このステップの場合、酸化膜を大きく除去せずに露出した側壁スペーサ部を除去しうる等方性エッチングであれば、任意のものを用いることができる。

【0022】次に図4を参照する。図4には、マンドレル層212の露出した端に形成された複数の側壁スペーサ214を示すウェーハ部200の拡大領域が示されている。側壁スペーサ214の各々を用いて、二重ゲート電界効果トランジスタ用のトランジスタ・ボディを画定することができる。方法100により、フォトレジスト215を堆積・パターニングして、選択した側壁スペーサ214を露出させる一方、残りの側壁スペーサ214

はフォトリソスト215で覆われたままになっている。これにより、露出した側壁スペーサ214の幅を未露出の側壁スペーサ214の幅に対して調整することが可能になる。たとえば、等方性エッチングを施すことにより、露出した側壁スペーサ214の幅だけを狭めることができる。

【0023】次に、図5を参照する。図5には、露出した側壁スペーサ214を適切なエッチングによって狭めたあとのウェーハ部200の拡大図が示されている。ここでも、下で明らかになるように、側壁スペーサの幅によってボディ幅、したがって結果として得られるトランジスタのしきい値電圧が最終的に決まる。それゆえ、側壁スペーサを狭めて形成したトランジスタのボディ幅は、側壁スペーサを狭めないで形成したトランジスタのボディ幅よりも狭くなる。ボディ幅の狭いトランジスタのしきい値電圧は、ボディ幅の狭くないトランジスタのしきい値電圧よりも高くなる。

【0024】次に、トランジスタのボディを1つだけ示してステップ104～ステップ114を説明するけれども、ボディ幅を狭めたトランジスタにも狭めなかったトランジスタにもこれら同一のステップ群を適用しうる、という点を理解すべきである。

【0025】図1に戻る。残りのフォトリソストを除去したのち、次のステップ104では、側壁スペーサと残っているマンドレル材料とをマスクに用いてエッチング停止層をパターンニングするとともにSOI層をパターンニングして、SOI層の露出した側面にゲート酸化膜を形成する。これは、適切なRIE (reactive ion etch: 反応性イオン・エッチング) を用いて行なうのが望ましい。ゲート酸化膜は、典型的には750～800°Cの熱酸化によって形成するのが望ましい。また、このステップの間に、トランジスタのボディ中にイオン打ち込みを行なってもよい。これは、SOI層の露出した側壁中への斜めイオン打ち込みから成り、ゲート酸化膜の形成前に行なうのが望ましい。これは、トランジスタのボディへの適切なドーピングとして機能する。下で詳述するように、この斜めイオン打ち込みは、ドーパント濃度を均一にしてしきい値電圧のバラツキを補償するのに役立つように行なう。

【0026】次に、図6を参照する。図6には、SOI層202をパターンニングし、SOI層202の側面にゲート酸化膜216を形成したあとのウェーハ部200が示されている。ここでも、ゲート酸化膜216を形成する前に、斜めボディ・イオン打ち込みを行なってもよい。

【0027】図1に戻る。次のステップ106では、ゲート材料を堆積したのち平坦化する。上述したように、好適な実施形態では、二重ゲート・トランジスタは、 n^+ に形成したゲートと p^+ に形成したゲートとを備えている。図示した実現方法では、 n^+ ゲートを先に形成し

ている。次に、図7を参照する。図7には、 n^+ ポリシリコン218を堆積して平坦化したのちのウェーハ部200が示されている。下で明らかになるように、好適な実施形態の二重ゲート・トランジスタでは、 n^+ ポリシリコン218を用いて一方のゲートを形成している。

【0028】次のステップ108では、残っているマンドレル層を選択的に除去する。これは、窒化膜側壁スペーサ、窒化膜エッチング停止層、およびゲート・ポリシリコンに対して選択的にマンドレル層にRIEを施すことにより行なうのが望ましい。次いで、ポリシリコン・ゲート材料上に中間酸化層を形成する。これは、ポリシリコン・ゲート上に熱酸化膜を成長させて行なうのが望ましい。次に、図8を参照する。図8には、マンドレル層212を除去し、酸化膜エッチング停止層210を除去し、ゲート・ポリシリコン218上に熱酸化層220を形成したあとのウェーハ部200が示されている。残存マンドレル層直下の窒化層208を酸化層220に対して選択的にエッチングしたのち、短時間のHFエッチングを施す。これにより、残存マンドレル層直下の残存酸化層206が除去される。

【0029】次のステップ110では、露出したSOI層をエッチングする。これは、RIEを用いてSOI層をエッチングし、埋め込み酸化層上で停止させることにより行なうのが望ましい。これによりSOI層のパターニングが完了し、二重ゲート・トランジスタのボディ厚さが画定される。次いで、トランジスタ・ボディの露出した側面にゲート酸化膜を形成する。

【0030】このステップの間においても、トランジスタのボディに別のイオン打ち込みを行なってもよい。ここでも、これは、ゲート酸化膜の形成前に行なう、SOI層の露出した側壁中への斜めイオン打ち込みから成るのが望ましい。

【0031】図9を参照する。図9には、SOI層202をパターンニングしたあとのウェーハ部200が示されている。SOI層202の残存部は、二重ゲート・トランジスタのボディ（この例の場合にはシリコン・フィン）を構成している。露出したSOI層202上には、熱酸化または誘電体膜堆積によってゲート酸化膜221が形成されている。

【0032】非SOIウェーハを使用する場合、所望の深さ（典型的には元のシリコン表面下100～200nm）に見合った時間だけシリコン・フィンをエッチングしたのち、酸化膜の堆積／エッチング・プロセスを用いて、エッチング済みシリコンの底部水平表面上に、エッチングしたフィンの高さの約4分の1の厚さのシリコン酸化膜を全面に堆積させる。この酸化膜は、 n 型FETの場合にはボロンで、 p 型FETの場合にはリンでドーピングする。ドーパントの一部は、ドーピングした酸化膜のごく近傍のフィン部中に外方拡散する。これは、ソースからドレインに至る、フィンのゲートで制御できない表面で

生じる漏れ電流を抑制するように機能する。

【0033】SOIの実施形態に戻る。留意点を挙げると、SOI層のパターニングによって、二重ゲート・トランジスタのボディが画定される。一般に、(T_{SI}と表わされる)ボディ厚さはゲート長に比して薄くするのが望ましい。典型的には、しきい値電圧を良好に制御するには、ボディ厚さをゲート長の約4分の1未満にすべきである。また、量子閉じ込め問題に起因して移動度が小さくなるのを避けるために、一般に、ボディ厚さを約2.5nmより厚くするのが望ましい。一般にゲート長はミニマム・フィーチャ・サイズに合わせているので、側壁イメージ変換を使うことにより、ボディをサブミニマム・フィーチャ・サイズにすることができる。したがって、上掲するとともに上述したように、側壁スペーサの幅によってボディ厚さを決めることができる。

【0034】次のステップ112では、第2のゲート用のゲート材料を堆積して平坦化する。上述したように、好適な実施形態では、互いに反対にドーブしたゲート材料を用いて2つのゲートを形成している。したがって、好適な実施形態では、p⁺型ドーフト・ポリシリコンを用いて2つのゲートのうちの第2のゲートを形成している。p⁺型ポリシリコン・ゲート材料の平坦化は、n⁺型ポリシリコン・ゲート上に予め熱成長させた酸化膜上で停止させる。p⁺型ポリシリコンを平坦化したのち、熱成長酸化膜から成る第2の層を形成する。次に、図10を参照する。図10には、p⁺型ドーフト・ポリシリコン226を堆積・平坦化して第2のゲートを形成したあとのウェーハ部200が示されている。次いで、堆積したポリシリコン226上に熱成長酸化膜228を形成する。

【0035】次のステップ114では、側壁スペーサを除去し、側壁スペーサ開口に真性ポリシリコンを充填して、製造工程ののちほどにおいてこの領域にシリサイドを最大限に形成できるようにする。任意実行事項として、分離かつ独立したゲート・コンタクトが望ましい場合には、側壁スペーサをその場に残してもよい。次いで、真性ポリシリコンをCMPを用いて平坦化する。この平坦化は、熱成長酸化膜から成る2つの層上で停止させる。この平坦化は、あまり大きな選択性を必要としない。というのは、除去すべき過剰真性ポリシリコンの量はごくわずかだからである。次いで、2つのゲート上に露出した熱成長酸化膜を同様の平坦化プロセスを用いて除去する。ここでも、この処理工程は、あまり大きな選択性を必要としない。次に、図11を参照する。図11には、側壁スペーサ214の残存部を除去し、できた空間に真性ポリシリコン230を充填したあとのウェーハ部200が示されている。次いで、図12には、過剰ポリシリコン230と熱成長酸化膜220、220をCMPプロセスによって除去したあとのウェーハ部200が示されている。これにより側壁スペーサがもともと形成

されていた場所に残される真性ポリシリコン230の量は、ごくわずかでしかない。このわずかな量の真性ポリシリコン230を用いることにより、プロセス・フローののちほどにおいて、p⁺型ポリシリコン・ゲートとn⁺型ポリシリコン・ゲートとを接続するシリサイド・ブリッジを形成することができる。

【0036】製造工程のこの時点において、トランジスタのボディの形成が完了するとともに、ボディの両側におけるゲートの形成が完了する。次に、図13を参照する。図13には、ウェーハ部200の拡大領域が再度示されている。図13には、製造工程のこの段階における複数のトランジスタが示されている。ここでも、狭い側壁スペーサを用いて画定したトランジスタは、ボディの幅が狭いので、高いしきい値電圧を有するようになる。特に、トランジスタ・ボディ231の幅は、トランジスタ・ボディ233の幅よりも狭い。したがって、トランジスタ・ボディ231を用いて形成するトランジスタのしきい値電圧は、トランジスタ・ボディ233を用いて形成するトランジスタのしきい値電圧よりも高くなる。

【0037】方法100に戻る。次のステップ116では、ゲートをパターニングする。これには、トランジスタのソース領域とドレイン領域に隣接して存在するゲート材料部の選択的な除去が含まれる。これは、標準的なリソグラフィ技法、すなわちハードマスクを堆積してパターニングしたのち、このパターニングしたハードマスクをゲート材料のエッチングの間におけるエッチング阻止体として用いる技法を用いて行なうのが望ましい。このハードマスクには、ボディ上に既形成のエッチング停止層と同じ窒化膜から成るハードマスクを用いるのが望ましい。

【0038】次に、図14を参照する。図14には、ウェーハ部200に形成された単一のトランジスタが透視投影図として示されている。n⁺型ゲート・ポリシリコン218とp⁺型ゲート・ポリシリコン226から成る2つのゲートをまたいで伸びる窒化膜から成るハードマスク232が形成されている。次に、図15を参照する。図15には、ハードマスクに対して選択性のあるエッチングを用いて、n⁺型ゲート・ポリシリコン218とp⁺型ゲート・ポリシリコン226をパターニングしたあとのウェーハ部200が示されている。このパターニングは、埋め込み酸化層204に至るまでゲート・ポリシリコンをすべて除去するのが望ましい。ゲートのパターニングは、窒化膜に対して選択性のある方向性エッチングを用いて行なうのが望ましい。したがって、このパターニングによって、既形成の窒化膜エッチング停止層208で保護されているSOIボディ202の部分は除去されない。また、このパターニングによって、二重ゲート・トランジスタの2つのゲートを画定しているn⁺型ポリシリコン218とp⁺型ポリシリコン226の部分は残置される。

【0039】好適な実施形態では、緩衝HF洗浄を行なったのち、熱再酸化を行なって露出したシリコン表面全体に酸化膜を成長させる。これにより、ゲートとボディとの接触部に良好な界面を形成するように、5 nm厚の薄膜を形成するのが望ましい。

【0040】方法100の次のステップ118では、トランジスタ中にソース、ドレイン、およびハローの各イオン打ち込み領域を形成する。これらのイオン打ち込みは、少なくとも4方向から行なって、フィンの両側に均一なイオン打ち込み領域が形成できるようにするのが望ましい。特に、ソース打ち込み領域とドレイン打ち込み領域の双方は、フィンのソース部とドレイン部の両側から行なう。次いで、別の打ち込みエネルギーと角度で別のイオン打ち込みを行なって、短チャネル効果を改善するハロー打ち込み領域を形成する。ハロー打ち込み領域を形成するドーパントが、ソース／ドレインを形成するドーパントよりもゲート電極の下により深く入り込むように、ハロー打ち込みは、ソース／ドレインの場合よりも大きなエネルギーで、かつフィンに対してより鋭利な角度で行なう。n型FETの場合、通常、ソース／ドレイン打ち込みは、ヒ素を使い、 $1 \sim 15 \text{ keV}$ のエネルギー、 $5 \times 10^{14} \sim 2 \times 10^{15} \text{ cm}^{-3}$ のドーズ量、フィンに対する角度 $45^\circ \sim 80^\circ$ で行ない、ハロー打ち込みは、ボロンを使い、 $5 \sim 15 \text{ keV}$ のエネルギー、 $1 \times 10^{13} \sim 8 \times 10^{13} \text{ cm}^{-3}$ のドーズ量、ハローがフィンに対して $20^\circ \sim 45^\circ$ に位置するように行なう。同様に、p型FETの場合、通常、ソース／ドレイン打ち込みは、ボロンを使い、 $0.5 \sim 3 \text{ keV}$ のエネルギー、 $5 \times 10^{14} \sim 2 \times 10^{15} \text{ cm}^{-3}$ のドーズ量、フィンに対する角度 $45^\circ \sim 80^\circ$ で行ない、ハロー打ち込みは、ヒ素を使い、 $20 \sim 45 \text{ keV}$ のエネルギー、 $1 \times 10^{13} \sim 8 \times 10^{13} \text{ cm}^{-3}$ のドーズ量、ハローがフィンに対して $20^\circ \sim 45^\circ$ に位置するように行なう。さらに、上述したイオン打ち込みは、すべて、ウェーハの水平面から適切な角度、すなわちウェーハの水平面から約 $70^\circ \sim 83^\circ$ の間にある必要がある。

【0041】次のステップ120では、ゲート電極とBOX上のハードマスクとを足し合わせた高さよりも厚い誘電体を堆積させて、ゲート電極と露出したフィンの全体を覆い、平坦化し、そして、ハードマスクとゲート電極の一部が露出するがソース／ドレインは決して露出しない状態まで（通常 $10 \sim 50 \text{ nm}$ ）くぼませる。下で明らかになるように、このステップは、トランジスタのゲートの端への側壁スペーサ形成プロセスの一部である。ここで使用する誘電体は、既形成の窒化膜から成るハードマスクに対して選択的にエッチングしうる酸化膜から成るのが望ましい。次に、図16を参照する。図16には、トランジスタのゲート電極を取り巻いて誘電体240を堆積させ、平坦化し、くぼませたのちのウェーハ部200が示されている。この誘電体は、既形成の窒

化膜から成るハードマスク232に対して選択性を有する方向性エッチングを用いてくぼませるのが望ましい。

【0042】次のステップ122では、ゲートの端に側壁スペーサを形成したのち、既堆積の誘電体をエッチングする。これは、下地形状に忠実に誘電体材料を堆積したのち、方向性エッチングを行なうことにより行なうのが望ましい。この側壁スペーサは、窒化膜で形成するのが望ましい。この窒化膜の側壁スペーサは、窒化膜のハードマスクとともに、方向性エッチングのマスクとして使うことができる。この結果、ゲート近傍を除く酸化膜を除去することができる。

【0043】次に、図17を参照する。図17には、窒化膜から成る側壁スペーサ242を形成し、誘電体240をエッチング除去し、トランジスタのゲートに隣接する側壁部244だけをのこしたウェーハ部200が示されている。ハードマスク232、側壁スペーサ242、および側壁部244が組合わさって、次に形成するソース・コンタクトとドレイン・コンタクトからゲートを効果的に分離している。

【0044】次のステップ124では、ソース・コンタクトとドレイン・コンタクトを形成する。これは、除去済みの領域にコンタクト材料を充填することにより行なうのが望ましい。コンタクト材料としては、 n^+ 型シリコンおよび／または p^+ 型シリコンと低抵抗性接触を形成するシリコンやタングステンなどの導電性材料を選択的に堆積したものをを用いることができる。（「Aおよび／またはB」は「AおよびB、A、またはB」を表わす。）シリコンを用いる場合には、n型FETに対しては n^+ 型にp型FETに対しては p^+ 型にそれぞれ縮退的にドーピングする。コンタクト材料は、窒化膜から成るハードマスクの高さより高くなるまで堆積したのち、RIEおよび／またはCMP（chemical-mechanical polish）によって窒化膜から成るハードマスクが完全に露出するまで平坦化する。次いで、図18に示すように、マスクを用いてウェーハをパターニングする。このマスクは、ソース・コンタクト材料とドレイン・コンタクト材料の不所望の部分をエッチングして、ソースとドレインを分離するとともに、複数のFETを互いに分離するのに使用する。最後に、RIEまたは熱リン酸など他のエッチング技法によってハードマスクを選択的に除去する。その後、コバルトやチタンなどの金属を堆積したのち、約 700°C でシンターしてゲート上に金属シリサイドを形成する。シリコン・コンタクトの場合には、ソース・コンタクトとドレイン・コンタクトの上にも金属シリサイドを形成する。

【0045】以上のように、方法100によれば、ボディの厚さをゲート長よりもずっと薄くしたまま、デバイスのゲート長を最小フィーチャ・サイズにしようとする二重ゲート・トランジスタの形成方法が得られる。さらに、方法100によれば、二重ゲート的一方をn型に縮退的に

ドーブし他方をp型に縮退的にドーブした非対象ドーブの二重ゲート・トランジスタが得られる。一方のゲートをn型にドーブし、他方のゲートをp型にドーブすると、結果として得られるデバイスのしきい値電圧が改善される。最後に、方法100によれば、様々なしきい値電圧の二重ゲート・トランジスタを1回の製造工程で形成することができる。また、本発明の実施形態では、様々なボディ厚さを有するトランジスタを形成している。様々なボディ厚さの二重ゲート・トランジスタを形成することにより、好適な実施形態によれば、製造工程をさほど複雑にすることなく、様々なしきい値電圧を有する二重ゲート・トランジスタを形成することが可能になる。

【0046】次に、図19を参照する。図19には、別の好適な実施形態の方法300が示されている。この方法300には、トランジスタのボディを画定するのに用いる側壁スペーサの浸食が最小限で済むという利点がある。というのは、方法300では、上記側壁スペーサはRIE (reactive ion etching: 反応性イオン・エッチング) に1度しかさらされないからである。したがって、この実施形態によって得られるシリコンのエッチング断面形状は、きわめて良好に制御されたものになる。ステップ301では、ウェーハを準備し、上述した方法100のステップ101と同様に、エッチング停止層とマンドレル層を形成する。次いで、ステップ302で、マンドレル層をパターニングし、エッチング停止層を直接にエッチングする。これは、エッチング停止層をパターニングする前にマンドレル層には側壁スペーサが形成されていない、という点で方法100と異なる。次に、図20を参照する。図20には、エッチング停止層とマンドレル層を形成し、マンドレル層とエッチング停止層を直接にエッチングしたあとのウェーハ部200が示されている。

【0047】次のステップ304では、残存マンドレル層をマスクとしてSOI層をパターニングし、SOI層の露出側面にゲート酸化膜を形成する。これは、RIEを施したのち、典型的には750°C~800°Cでの熱酸化、あるいは、酸化アルミニウムなどの高誘電率

(high-k) 材料のCVD堆積により行なう。また、このステップの間に、トランジスタのボディ中にイオン打ち込みを行なってもよい。これは、ゲート酸化膜形成前におけるSOI層の露出側面中への斜めイオン打ち込みから成るのが望ましい。このイオン打ち込みは、トランジスタのボディを適切にドーブするように機能する。下で詳述するように、このイオン打ち込みは、均一なドーパント濃度分布を実現するので、ボディ厚さのバラツギに起因して生じるしきい値電圧のバラツギを補償するのに役立てることができる。

【0048】次に、図21を参照する。図21には、SOI層202をパターニングし、SOI層202の側面

にゲート酸化膜216を形成したあとのウェーハ部200が示されている。ここでも、ゲート酸化膜を形成する前に、斜めボディ・イオン打ち込みを行なってもよい。

【0049】図19に戻る。次のステップ306では、ゲート材料を堆積させて平坦化する。上述したように、好適な実施形態では、二重ゲート・トランジスタは、n⁺型に形成した一方のゲートと、p⁺型に形成した他方のゲートとを備えている。図示する実施形態では、n⁺型ゲートを先に形成する。次に、図22を参照する。図22には、n⁺型ポリシリコン218を堆積させて平坦化したのちのウェーハ部200が示されている。下で明らかになるように、二重ゲート・トランジスタの好適な実施形態では、このn⁺型ポリシリコン218を使用して、2つのゲートのうちの一方を形成する。

【0050】次のステップ308では、残存しているマンドレル材料を除去し、残存している第1ゲート材料の端に沿って側壁スペーサを形成する。下で明らかになるように、この側壁スペーサは、トランジスタのボディの幅を決めるものである。次に、図23を参照する。図23には、マンドレル層212を除去し、第1ゲート材料の側壁に側壁スペーサ302を形成したのちのウェーハ部202が示されている。

【0051】図19に戻る。次のステップ309では、選択した側壁スペーサの幅を選択的に調整する。上述したように、結果として得られるトランジスタのしきい値電圧は、トランジスタ・ボディの幅とともに変動する。好適な実施形態では、選択した側壁スペーサの幅を変化させて、1回の製造工程で異なるボディ幅、したがって異なるしきい値電圧を有する様々なトランジスタが得られるようにしている。方法100の場合と同様に、側壁スペーサの幅は、任意の適切な方法で調整しうる。たとえば、適当な保護層で側壁を覆ったのち、保護層をパターニングして選択した側壁を露出させる。たとえば、適当なフォトレジストを堆積させたのち、パターニングして選択した側壁スペーサだけを露出させる。そして、露出した側壁スペーサの幅を調整する。たとえば、等方性エッチングを短時間施して、露出した側壁スペーサだけを狭め、未露出の側壁スペーサはそのままの状態にする。このステップ用には、酸化膜をあまり除去せずに、露出した側壁スペーサの一部を除去する等方性エッチングであれば任意のものを適用することができる。

【0052】次に、図24を参照する。図24には、ゲート材料218の露出した端に複数の側壁スペーサ214を形成したあとのウェーハ部200の拡大領域が示されている。各側壁スペーサ214は、二重ゲート電界効果トランジスタ用のトランジスタ・ボディを画定するのに用いることになる。方法300によると、フォトレジスト215の層を堆積させたのちパターニングして選択した側壁スペーサ214を露出させ、他の側壁スペーサはフォトレジスト215で覆ったままにしておく。これに

より、露出した側壁スペーサの幅を、未露出の側壁スペーサ214の幅と比べて調整することができる。たとえば、等方性エッチングを行なって、露出した側壁スペーサ214だけを選択的に狭めることができる。

【0053】次に、図25を参照する。図25には、露出した側壁スペーサ214を適切なエッチングを用いて狭めたあとのウェーハ部200の拡大領域が示されている。ここでも、下で明らかになるように、側壁スペーサの幅は、結果として得られるトランジスタのボディ幅、したがってしきい値電圧を最終的に決める。したがって、狭めた側壁スペーサを用いて形成したトランジスタのボディは、狭めていない側壁スペーサを用いて形成したトランジスタよりも狭い。ボディを狭めたトランジスタのしきい値電圧は、ボディを狭めてないトランジスタよりも高くなる。

【0054】方法300に戻る。以下、1つのトランジスタ・ボディのみを用いて残りのステップ310~326を示すとともに説明するが、ここでも、ボディ幅を狭めたトランジスタとボディ幅を狭めなかったトランジスタとの双方に同じステップ群を適用しようという点を理解すべきである。次のステップ310では、ゲート材料上に中間酸化膜を形成したのち、SOI層をパターンニングする。

【0055】次に、図26を参照する。図26には、ゲート・ポリシリコン218上に熱酸化層220を形成したあとのウェーハ部200が示されている。残存マンドレル層直下の窒化層208を酸化膜220に対して選択的にエッチングする。その後、残存マンドレル層直下の残存酸化層206を短時間のHFエッチングによって除去する。

【0056】SOI層は、SOI層をエッチングしうるRIEを用いてパターンニングし、埋め込み酸化層上で停止するのが望ましい。これにより、SOI層のパターンニングが完了し、二重ゲート・トランジスタのボディの厚さが画定される。次いで、トランジスタ・ボディの露出した側面にゲート酸化膜を形成する。ここでも、このステップの間に、トランジスタ・ボディ中にイオン打ち込みを行なってもよい。これは、ここでも、ゲート酸化膜形成前におけるSOI層の露出した側壁中への斜めイオン打ち込みから成るのが望ましい。

【0057】次に、図27を参照する。図27には、SOI層202をパターンニングしたあとのウェーハ部200が示されている。SOI層202の残存部分は、二重ゲート・トランジスタのボディを構成している。ボディの幅は、それを画定するのに使用した側壁スペーサ214の幅によって決まる。したがって、側壁スペーサの幅を選択的に変化させることにより、様々なボディ幅を有するトランジスタを形成することができる。次いで、熱酸化または誘電体膜堆積によって、露出したSOI層202上にゲート酸化膜221を形成する。

【0058】次のステップ312では、第2のゲート用のゲート材料を堆積して平坦化する。上述したように、好適な実施形態では、互いに反対にドーブした2つのゲート材料を用いて2つのゲートを形成する。したがって、好適な実施形態では、 p^+ 型にドーブしたポリシリコンを用いて、2つのゲートのうちの第2のゲートを形成する。 p^+ 型ポリシリコンの平坦化は、 n^+ 型ポリシリコン・ゲート上に既形成の熱成長酸化膜上で停止させる。 p^+ 型ポリシリコンを平坦化したのち、熱成長酸化膜から成る第2の層を形成する。次に、図28を参照する。図28には、 p^+ 型ポリシリコンを堆積・平坦化して第2のゲートを形成したあとのウェーハ部200が示されている。次いで、堆積したポリシリコン226上に熱成長酸化膜228を形成する。

【0059】次のステップ314では、側壁スペーサを除去し、側壁スペーサ開口に真性ポリシリコンを充填して、製造工程ののちほどにおいてこの領域にシリサイドを最大限に形成できるようにする。任意実行事項としては、分離・独立したゲート・コンタクトが望ましい場合には、側壁スペーサをそのまま残しておいてもよい。次いで、CMPプロセスを用いて真性ポリシリコンを平坦化する。この平坦化は、熱成長酸化膜から成る2つの層の上で停止させる。除去すべき真性ポリシリコンの量はごくわずかであるから、この平坦化プロセスは高度の選択性を必要としない。次いで、2つのゲート上に露出した熱成長酸化膜を同様の平坦化プロセスを用いて除去する。ここでも、この処理工程では、高度の選択性を必要としない。次に、図29を参照する。図29には、側壁スペーサ302の残存部分を除去したのち、空所に真性ポリシリコン230を充填したあとのウェーハ部200が示されている。そして、図30には、過剰なポリシリコン230と熱成長酸化膜220、228をCMPプロセスによって除去したあとのウェーハ200が示されている。これにより、元々側壁スペーサが形成されていた場所には、真性ポリシリコン230がわずかな部分だけ残されることになる。プロセス・フローのあとの部分において、真性ポリシリコン230のこの部分を用いて p^+ 型ポリシリコン・ゲートと n^+ 型ポリシリコン・ゲートとを接続するシリサイド・ブリッジを形成することが可能になる。

【0060】製造工程のこの時点で、トランジスタのボディはすでに形成されており、ボディの両側にはゲートが形成済みである。次に、図31を参照する。図31には、この時点におけるウェーハ200の拡大図が示されている。図31には、製造工程のこの時点における複数のトランジスタが示されている。ここでも、狭めた側壁スペーサを用いて画定したトランジスタは、狭いボディを有するので、高いしきい値電圧を有することになる。特に、トランジスタ・ボディ231は、トランジスタ・ボディ233よりも狭い。したがって、トランジスタ・

ボディ 231 を用いて形成するトランジスタは、トランジスタ・ボディ 233 を用いて形成するトランジスタよりも、しきい値電圧が高くなる。

【0061】方法 300 に戻る。残るステップ 316 ~ 326 は、方法 100 について上述したステップ 116 ~ 126 と同一である。方法 300 は、方法 100 と同様に、ボディの厚さをゲート長よりもずっと薄くするのを可能にしながら、デバイスのゲート長を最小フィッチャ・サイズに保つのを可能にする、二重ゲート・トランジスタの形成工程を備えている。さらに、方法 300 によれば、二重ゲートの一方が n 型に縮退的にドーピングされており、他方が p 型に縮退的にドーピングされている、ゲート・ドーピングが非対称な二重ゲート・トランジスタが得られる。一方のゲートを n 型にドーピングし、他方のゲートを p 型にドーピングすると、結果として得られるデバイスのしきい値電圧が改善する。最後に、方法 300 によれば、1 回の製造工程で、様々なしきい値電圧を有する二重ゲート・トランジスタを形成することができる。方法 300 には、さらなる利点がある。すなわち、方法 300 では、側壁スペーサを RIE にたった 1 回しかしていないから、トランジスタ・ボディを画定するのに使用する側壁スペーサの浸食を最小限に抑えることができる。したがって、この実施形態によるシリコンのエッチング断面形状は、きわめて良好に制御されたものになっている。

【0062】以上のように、本発明は、改善されたデバイス性能と密度を達成する、二重ゲート・トランジスタおよびその形成方法を提供するものである。本発明の好適な実施形態では、ゲートを非対称にドーピングした二重ゲート・トランジスタが得られる。この場合、二重ゲートの一方は n 型に縮退的にドーピングされ、他方は p 型に縮退的にドーピングされている。一方のゲートを n 型にドーピングし、他方のゲートを p 型にドーピングすると、結果として得られるデバイスのしきい値電圧が改善される。特に、2 つのゲートを非対称にドーピングすると、ボディへの適切なドーピングと相まって、結果として得られるトランジスタのしきい値電圧は、低電圧 CMOS 動作が可能な範囲の値になる。

【0063】また、本発明は、異なるしきい値電圧を有する様々なトランジスタの形成を容易にする、二重ゲートトランジスタおよびその形成方法を提供するものである。本発明の実施形態では、様々なボディ幅を有するトランジスタを形成している。様々なボディ幅を有する二重ゲート・トランジスタを形成することにより、好適な実施形態によれば、製造工程をあまり複雑にすることなく、様々なしきい値電圧を有する二重ゲート・トランジスタを形成することができる。

【0064】フィン型二重ゲート電界効果トランジスタを用いた典型的な実施形態について本発明を特に示しかつ説明したけれども、当業者が認識するように、好適

な実施形態は他の型の二重ゲート・トランジスタに適用することができるし、本発明の本旨と範囲のうちで実現方法の詳細を変更することができる。たとえば、当業者が容易に理解するように、本発明は、様々な分離技術（たとえば LOCOS や ROX [recessed oxide] など）、様々なウェルと基板の技術、様々なドーパント型、様々なエネルギー、および、様々なドーパント種、に適用することができる。また、当業者が容易に理解するように、本発明の本旨は、他の半導体技術（たとえば BiCMOS、バイポーラ、SOI [silicon on insulator]、SiGe [シリコン・ゲルマニウム] など）に適用することができる。

【0065】まとめとして以下の事項を開示する。

(1) 様々なしきい値電圧を有するトランジスタを形成する方法であって、(a) 半導体基板を準備するステップと、(b) 前記半導体基板上に幅を有する形体を複数個形成するステップと、(c) 少なくとも 1 つの形体の幅を選択的に調整するステップと、(d) 前記複数の形体を用いて前記半導体基板をパターニングして複数のトランジスタ・ボディを形成し、前記複数のトランジスタ・ボディの各々の幅が前記複数の形体のうちの対応する 1 つのものの幅によって少なくとも部分的に決められるようにするステップと、(e) 前記複数のトランジスタ・ボディの各々の第 1 のボディ端に隣接して、第 1 の仕事関数の第 1 のゲート構造体を形成するステップと、

(f) 前記複数のトランジスタ・ボディの各々の第 2 のボディ端に隣接して、第 2 の仕事関数の第 2 のゲート構造体を形成するステップとを備えた方法。

(2) 第 1 の仕事関数の前記第 1 のゲート構造体が p 型材料から成り、第 2 の仕事関数の前記第 2 のゲート構造体が n 型材料から成る、上記 (1) に記載の方法。

(3) さらに、(g) 斜めイオン打ち込みを用いて、ソース領域、ドレイン領域、およびハロー領域を形成するステップを備えた、上記 (1) に記載の方法。

(4) 前記半導体基板が SOI 層から成り、前記複数の形体を用いて前記半導体基板をパターニングして複数のトランジスタ・ボディを形成するステップが、前記 SOI 層のパターニングを備えている、上記 (1) に記載の方法。

(5) 前記基板が水平面を有し、前記水平面に対して約 70° ~ 83° の角度でソース領域とドレイン領域とが形成されている、上記 (3) に記載の方法。

(6) 複数の形体を形成する前記ステップと、前記複数の形体を用いて複数のトランジスタ・ボディを形成する前記ステップとが、前記半導体基板上にマンドレル層を形成するステップと、前記マンドレル層をパターニングして露出側面を形成するステップと、前記露出側面に隣接して側壁スペーサを形成するステップとを備え、前記側壁スペーサの第 1 の端が第 1 のボディ端を画定し、前記側壁スペーサの第 2 の端が第 2 のボディ端を画定す

る、上記(1)に記載の方法。

(7) 複数の形体を形成する前記ステップと、前記複数の形体を用いて複数のトランジスタ・ボディを形成する前記ステップとが、前記半導体基板上にマンドレル層を形成するステップと、前記マンドレル層をパターンニングするステップと、前記パターンニングしたマンドレル層を用いて第1のボディ端を画定するステップと、ゲート材料層に隣接して側壁スペーサを形成するステップと、前記側壁スペーサを用いて第2のボディ端を画定するステップとを備えた上記(1)に記載の方法。

(8) 様々なしきい値電圧を有する複数の電界効果トランジスタを形成する方法であって、(a) 埋め込み誘電体層上にシリコン層を備えたSOI基板を準備するステップと、(b) 前記シリコン層上にマンドレル層を形成したのち、前記マンドレル層をパターンニングして複数のマンドレル層端を画定するステップと、(c) 前記シリコン層を前記複数のマンドレル層端でパターンニングして、複数の第1のボディ端を形成するステップと、

(d) 前記複数の第1のボディ端上に複数の第1のゲート誘電体を形成するステップと、(e) 前記複数の第1のゲート誘電体上において、前記第1のボディ端に隣接して、第1の仕事関数の第1のゲート構造体を複数個形成するステップと、(f) 前記マンドレル層をパターンニングして、前記複数の第1のゲート構造体の第1端を露出させるステップと、(g) 前記複数の第1のゲート構造体の前記第1端に隣接して、側壁スペーサ幅を有する複数の側壁スペーサを形成するステップと、(h) 選択した側壁スペーサの幅を調整するステップと、(i) 前記シリコン層を複数の側壁スペーサでパターンニングして、複数の第2のボディ端を形成するステップであって、前記パターンニングしたシリコン層の前記第1のボディ端と前記第2のボディ端が、複数のトランジスタ・ボディを画定しているステップと、(j) 前記複数の第2のボディ端上に複数の第2のゲート誘電体を形成するステップと、(k) 前記複数の第2のゲート誘電体上において、前記第2のボディ端に隣接して、第2の仕事関数の第2のゲート構造体を複数個形成するステップとを備えた方法。

(9) 第1の仕事関数の前記複数の第1のゲート構造体がp型ポリシリコン材料から成り、第2の仕事関数の前記複数の第2のゲート構造体がn型ポリシリコン材料から成る、上記(8)に記載の方法。

(10) 第1の仕事関数の前記複数の第1のゲート構造体がn型ポリシリコン材料から成り、第2の仕事関数の前記複数の第2のゲート構造体がp型ポリシリコン材料から成る、上記(8)に記載の方法。

(11) さらに、前記トランジスタ・ボディ中に斜めイオン打ち込みを行なって、前記トランジスタ・ボディ中に複数のソース／ドレイン打ち込み領域を形成するステップを備えた上記(8)に記載の方法。

(12)

(a) 基板上に形成された複数のトランジスタ・ボディであって、前記トランジスタ・ボディは各々トランジスタ・ボディ幅を画定する第1の垂直端と第2の垂直端とを有し、前記複数のトランジスタ・ボディのうちの選択した部分が既調整の幅を有している、複数のトランジスタ・ボディと、(b) 複数の第1のゲート構造体であって、前記複数の第1のゲート構造体の各々が前記複数のトランジスタ・ボディの第1の垂直端の1つに隣接しており、前記複数の第1のゲート構造体は第1の仕事関数を有している、複数の第1のゲート構造体と、(c) 複数の第2のゲート構造体であって、前記複数の第2のゲート構造体の各々が前記複数のトランジスタ・ボディの第2の垂直端の1つに隣接しており、前記複数の第2のゲート構造体は第2の仕事関数を有している、複数の第2のゲート構造体とを備えたトランジスタ群。

(13) 前記複数の第1のゲート構造体がp型材料から成り、前記複数の第2のゲート構造体がn型材料から成る、上記(12)に記載のトランジスタ群。

(14) 前記複数のトランジスタ・ボディが半導体フィンから成る、上記(12)に記載のトランジスタ群。

(15) 前記複数のトランジスタ・ボディがSOI層の一部から成る、上記(12)に記載のトランジスタ群。

(16) 前記複数の第1のゲート構造体および前記複数の第2のゲート構造体がポリシリコンから成る、上記(12)に記載のトランジスタ群。

(17) さらに、前記トランジスタ・ボディの第1の垂直端と前記第1のゲート構造体との間に設けられた複数の第1のゲート誘電体と、前記トランジスタ・ボディの第2の垂直端と前記第2のゲート構造体との間に設けられた複数の第2のゲート誘電体とを備えた、上記(12)に記載のトランジスタ群。

(18) 前記複数のトランジスタ・フィンがソース・イオン打ち込み領域とドレイン・イオン打ち込み領域とを備えている、上記(12)に記載のトランジスタ群。

(19) 前記複数の第1のゲート構造体および前記複数の第2のゲート構造体の各々が長さを持っており、前記複数のトランジスタ・ボディの各々の前記幅が前記長さの約4分の1未満である、上記(12)に記載のトランジスタ群。

(20) 前記複数のトランジスタ・ボディの前記幅が約2.5nmよりも広い、上記(12)に記載のトランジスタ群。

1 (21) 第1のボディ幅と、第1のゲートと、第2のゲートとを備えた第1のトランジスタと、第2のボディ幅と、第1のゲートと、第2のゲートとを備えた第2のトランジスタとを備え、前記第1のゲートは各々第1の仕事関数を有し、前記第2のゲートは各々第2の仕事関数を有する二重ゲート・トランジスタ群。

【図面の簡単な説明】

【図1】 第1の製造方法を示すフローチャートを示す図である。

【図2】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図3】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図4】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図5】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図6】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図7】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図8】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図9】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図10】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図11】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図12】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図13】 製造中の典型的な二重ゲート・トランジスタの側断面図である。

【図14】 製造中の典型的な二重ゲート・トランジスタの透視図である。

【図15】 製造中の典型的な二重ゲート・トランジスタの透視図である。

【図16】 製造中の典型的な二重ゲート・トランジスタの透視図である。

【図17】 製造中の典型的な二重ゲート・トランジスタの透視図である。

【図18】 製造中の典型的な二重ゲート・トランジスタの透視図である。

【図19】 第2の製造方法を示すフローチャートを示す図である。

【図20】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図21】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図22】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図23】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図24】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図25】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図26】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図27】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図28】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図29】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

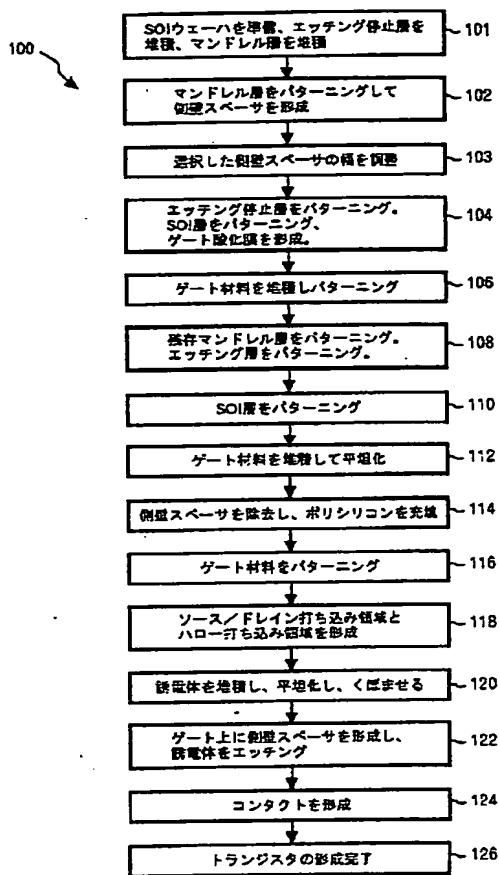
【図30】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

【図31】 製造中の第2の典型的な二重ゲート・トランジスタの側断面図である。

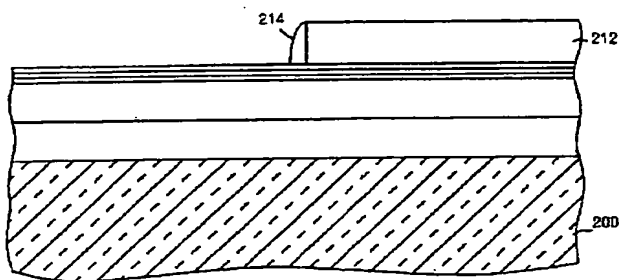
【符号の説明】

100	方法
200	ウェーハ部
202	SOI層
204	埋め込み酸化層
206	酸化層
208	窒化層
210	酸化層
212	マンドレル層
214	側壁スペーサ
215	フォトレジスト
216	ゲート酸化膜
218	n ⁺ ポリシリコン
220	熱酸化層
226	p ⁺ ポリシリコン
228	熱成長酸化膜
230	真性ポリシリコン
231	トランジスタ・ボディ
232	ハードマスク
233	トランジスタ・ボディ
240	誘電体
242	側壁スペーサ
300	方法
302	側壁スペーサ

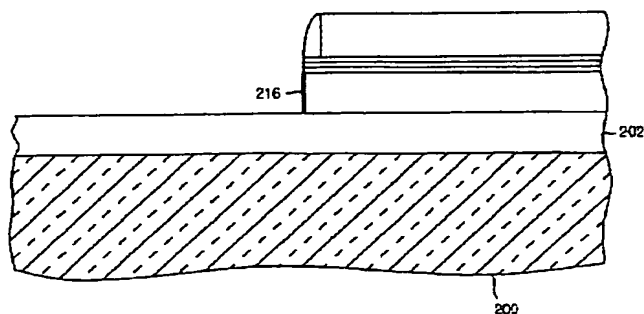
【図1】



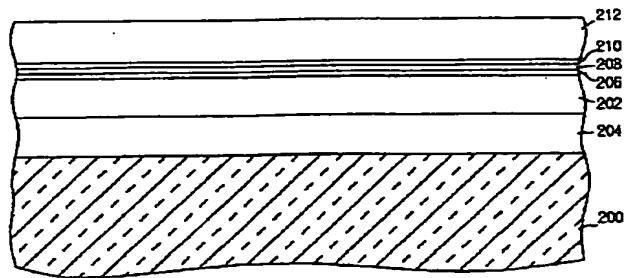
【図3】



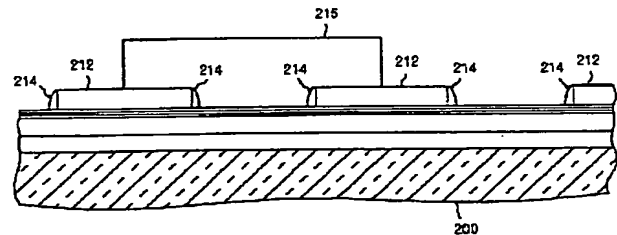
【図6】



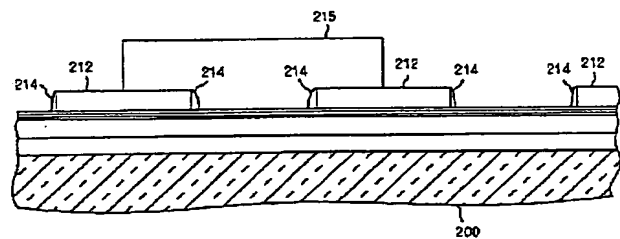
【図2】



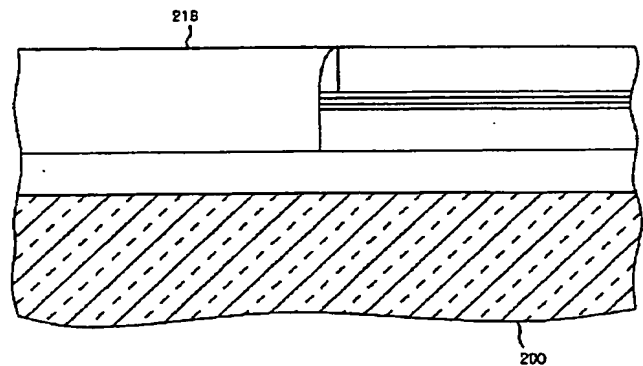
【図4】



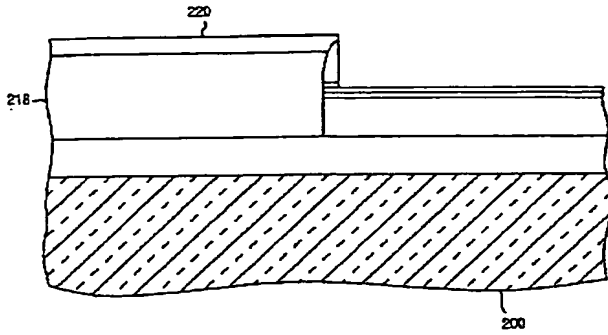
【図5】



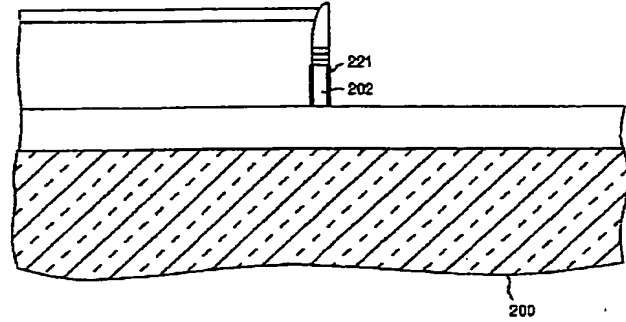
【図7】



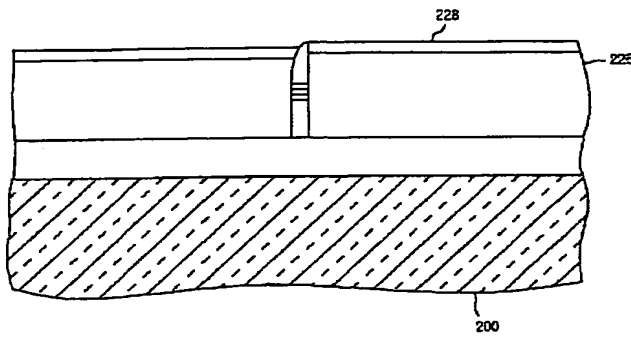
【図8】



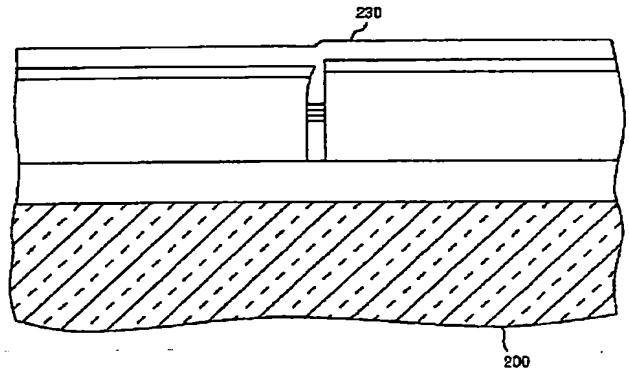
【図9】



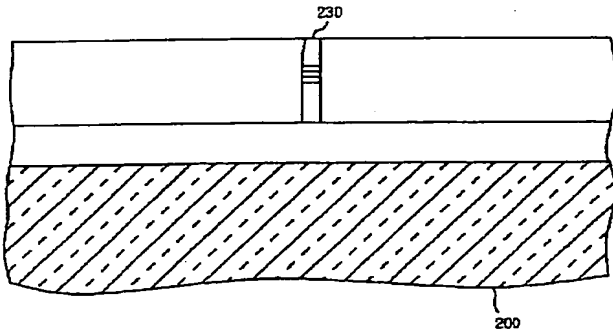
【図10】



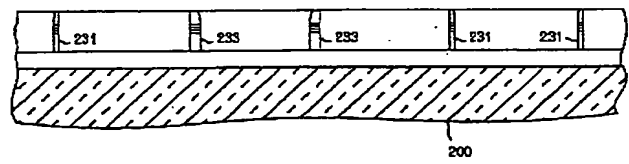
【図11】



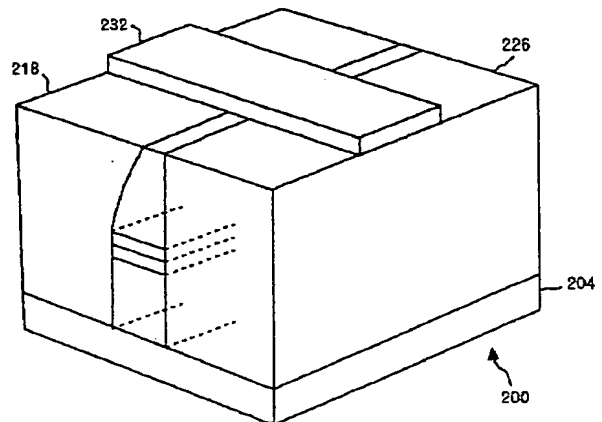
【図12】



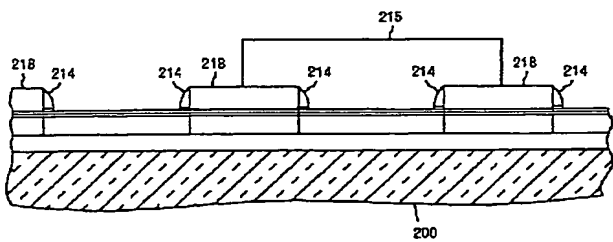
【図13】



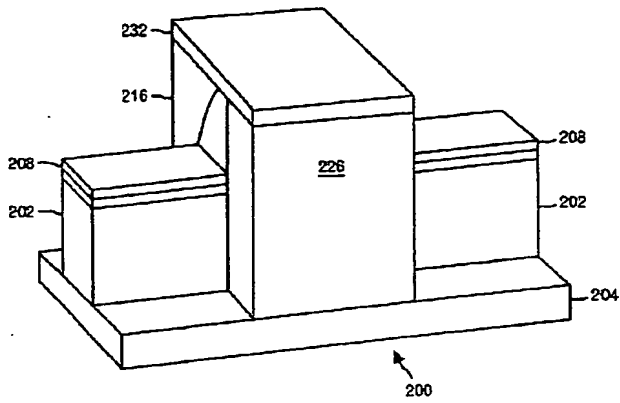
【図14】



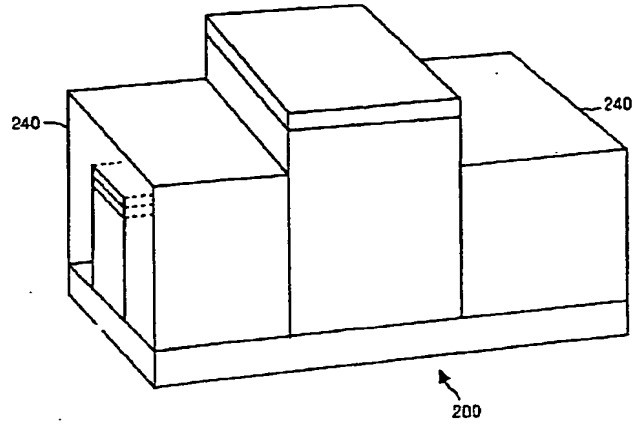
【図24】



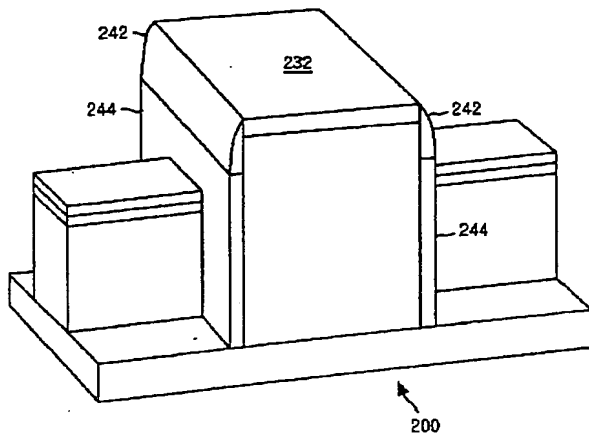
【図 15】



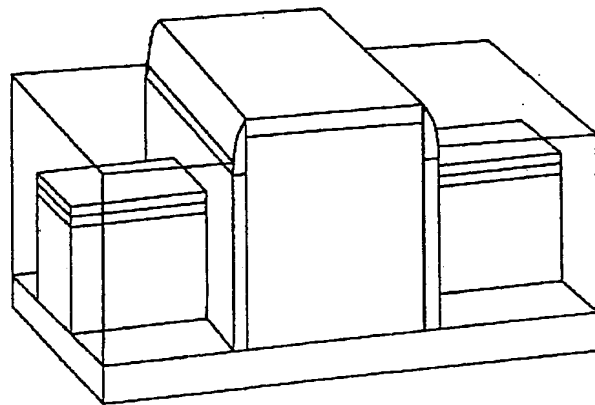
【図 16】



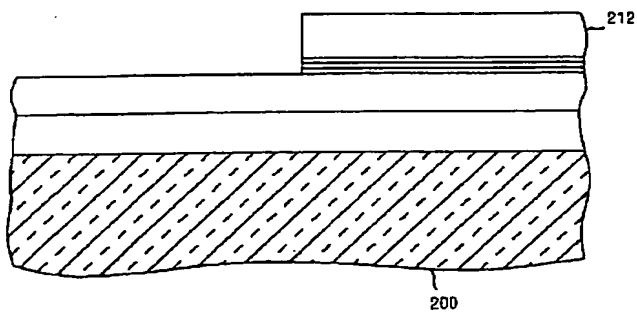
【図 17】



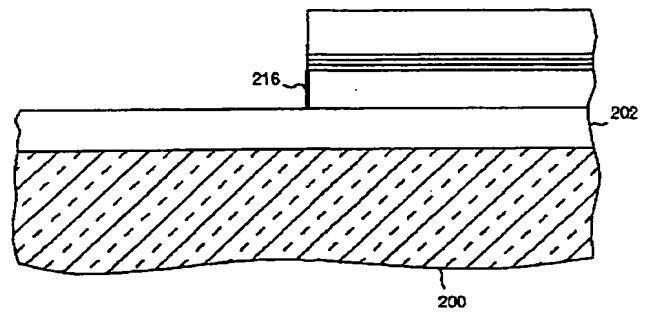
【図 18】



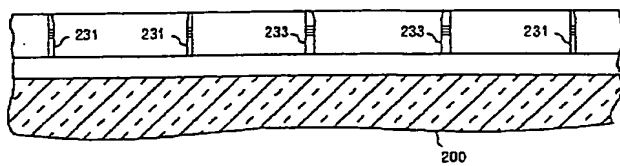
【図 20】



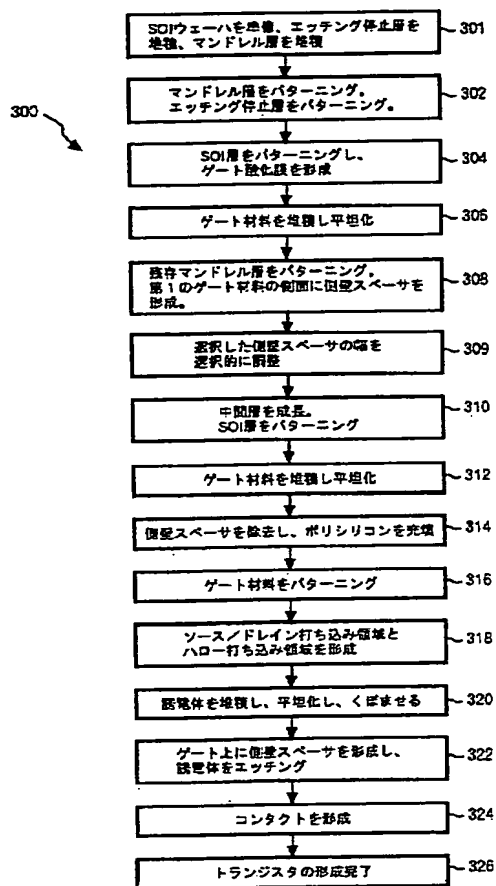
【図 21】



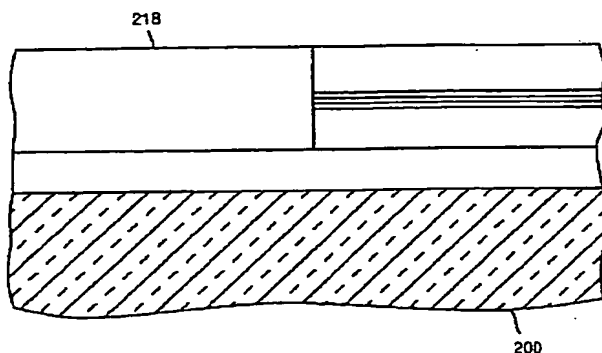
【図 31】



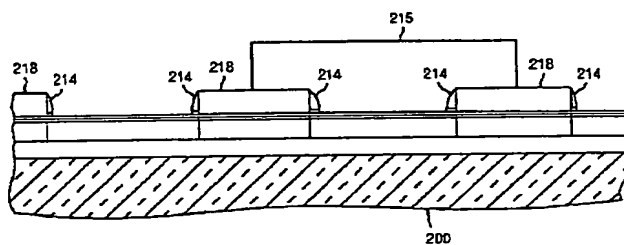
【図19】



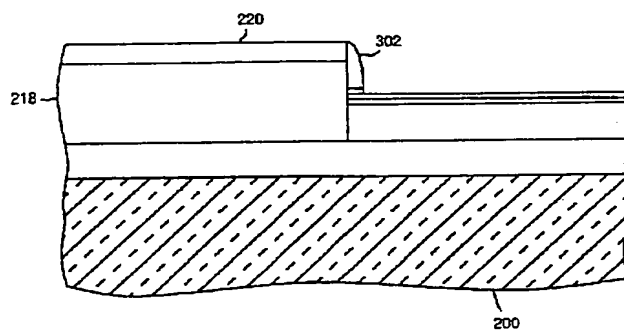
【図22】



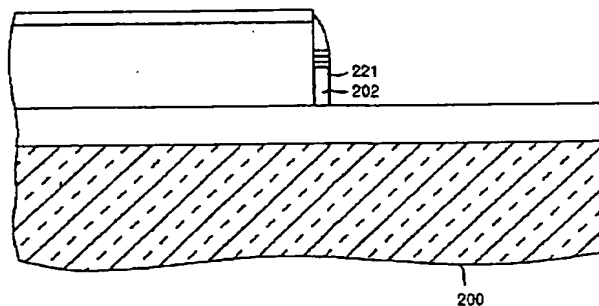
【図25】



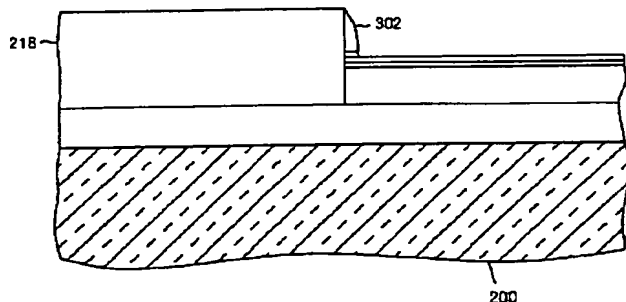
【図26】



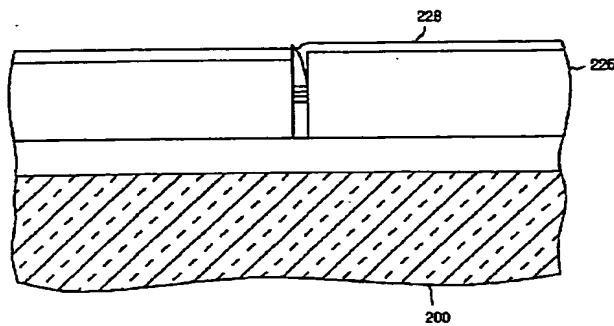
【図27】



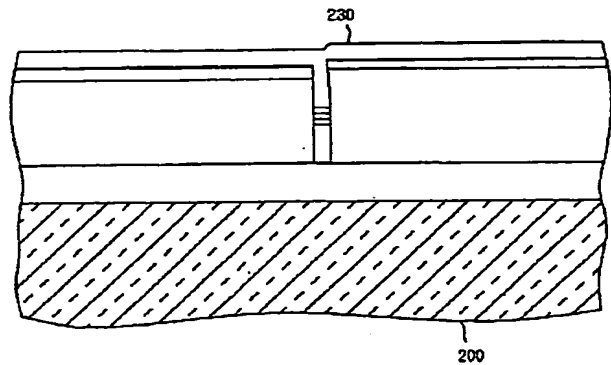
【図23】



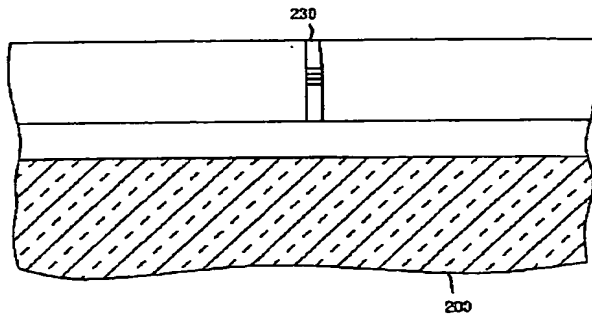
【図 28】



【図 29】



【図 30】



フロントページの続き

(51) Int. Cl. 7

H01L 27/088
27/092
29/423
29/49

識別記号

F I

H01L 29/78
29/58

テマコード (参考)

618B
613A
G

(72) 発明者 メイケイ・イオング

アメリカ合衆国 ニューヨーク州 12590、
ワッピンジャー フォールズ、サマーリン
コート 31

(72) 発明者 エドワード・ジェイ・ノワク

アメリカ合衆国 バーモント州 エセック
ス ジャンクション、ウインドリッジ ロ
ード 8

Fターム (参考) 4M104 BB01 BB20 BB25 CC01 CC05

DD84 FF21 GG09 GG10 GG14
5F048 AA01 AA09 AC01 AC03 BA02
BA16 BB01 BB06 BB07 BB10
BB15 BC01 BD01 BD04 BD07
BD09 BD10 BF03
5F110 AA04 AA08 BB04 CC10 DD12
DD13 EE05 EE09 EE14 EE22
EE42 FF01 FF02 FF12 FF23
FF27 FF29 GG01 GG02 GG22
GG25 GG26 GG31 GG32 GG34
GG37 GG52 GG57 HJ01 HJ04
HJ14 HK04 HK05 HK09 HK21
HK32 HK40 QQ02 QQ04 QQ11
QQ19